طراحی یک مدولاتور سیگما- دلتا با دقت ۱۸ بیت، منبع تغذیه ۳/۳ ولت برای کاربردهای صوت دیجیتال

محمد یاوری

دانشجوی دکتری گروه مهندسی برق و کامپیوتر- دانشکده فنی- دانشگاه تهران

امید شعاعی

استادیار گروه مهندسی برق و کامپیوتر- دانشکده فنی- دانشگاه تهران

(تاریخ دریافت ۸۰/۱۰/۱۵، تاریخ تصویب ۸۱/۷/۲۰)

چکیده

در این مقاله طراحی و شبیه‌سازی یک مدولاتور سیگما- دلتا با دقت ۱۸ بیت و منبع تغذیه ۳/۳ ولت برای کاربردهای صوتی مورد بحث قرار می‌گیرد. این مدولاتور با استفاده از تکنولوژی 0.6μm، CMOS ، ۵ ولت دیجیتال طراحی شده است. این تکنولوژی دارای دو لایه پلی و سه لایه متال است. ضرایب بهره انتگرال‌گیرهای مدولاتور کسکید[1] ۲-۲ برای دست یافتن به بالاترین سطح بیش بارشدگی[2] طراحی شده‌اند. سطح بیش بارشدگی آن در حدود dBFS 0.6- است. نرخ نمونه‌برداری مدولاتور طراحی شده ۶/۴ مگاهرتز و نرخ نایکوئیست خروجی آن ۵۰ کیلوهرتز است. SNDR ماکزیمم و محدوده دینامیکی[3] مدولاتور شبیه‌سازی شده، به ترتیب ۱۱۰ دسیبل و ۱۱۴ دسیبل هستند. کل توان مصرفی آن با در نظر گرفتن توان بافرهای خروجی، بافرهای ولتاژ و مدار تولید کننده کلاک حدود ۸۰ میلی وات است.

واژه‌های کلیدی: مبدل‌های سیگما- دلتا، مدارهای آنالوگ، مدولاتورهای کسکید، تقویت‌کننده‌های عملیاتی، نویز مداری

مقدمه

امروزه بدلیل مزیت‌های عمده پردازش سیگنال‌های دیجیتال، طراحی مبدل‌های آنالوگ به دیجیتال مورد نظر می‌باشند. این مزیت‌های عمده باعث شده‌اند که تکنولوژی مدارهای مجتمع در جهت طراحی مدارهای دیجیتال توسعه داده شوند. پایین آوردن ولتاژ منبع تغذیه و کم کردن سطح لازم برای ساخت تراشه از جمله پیشرفت‌های تکنولوژی‌های حاضر می‌باشند. اما بدلیل اینکه دنیای واقعی یک طبیعت آنالوگ است، بایستی طراحی مبدلهای آنالوگ به دیجیتال نیز با ولتاژهای پایین و در کنار مدارهای دیجیتال در داخل یک تراشه صورت گیرند.

طراحی مدارهای دیجیتال با استفاده از تکنولوژی CMOS به علت قابلیت مجتمع سازی بالا، توان مصرفی کم و قیمت پایین تاکنون بی رقیب بوده است. با توجه به اینکه جهت پیشرفت تکنولوژی CMOS را مدارهای دیجیتال تعیین می‌کنند، طراحان مدارهای آنالوگ بایستی خود را برای استفاده از افزاره[4]هایی که لزوما برای کاربردهای آنالوگ مناسب نیستند، تطبیق دهند.

صوت دیجیتال نیاز به دقت بالا دارد. تاکنون مبدل‌های آنالوگ به دیجیتال صوتی با دقت حداقل ۱۸ بیت با منبع تغذیه بالای ۵ ولت طراحی و ساخته شده‌اند [۱۰-۱]. با توجه به جهت مقیاس کردن تکنولوژی و پایین آوردن ولتاژ منبع تغذیه، طراحی این مبدل‌ها نیز بایستی با منبع تغذیه پایین‌تر و با همان دقت بالا صورت گیرند. در این مقاله، هدف طراحی و شبیه‌سازی یک مبدل آنالوگ به دیجیتال برای کاربردهای صوتی با دقت ۱۸ بیت و استفاده از یک منبع تغذیه ۳/۳ ولتی است.

مبدل‌های آنالوگ به دیجیتال را از نظر فرکانس نمونه برداری می‌توان به دو دسته عمده تقسیم بندی کرد: ۱) مبدل‌های با نرخ نایکوئیست، ۲) مبدل‌های بیش نمونه

برداری[5]. در مبدل‌های نوع اول نظیر Pipeline، Flash، Folding & Interpolating و SAR سیگنال ورودی با نرخ نایکوئیست نمونه برداری می‌شود، در حالیکه در مبدل‌های بیش نمونه برداری سیگنال آنالوگ ورودی با چندین برابر نرخ نایکوئیست نمونه برداری می‌شود. مبدل‌های نرخ نایکوئیست برای کاربردهای سرعت بالا و دقت پایین طراحی و ساخته می‌شوند. بدلیل خصوصیات غیر ایده‌آلی مدارهای آنالوگ ساخت این نوع مبدل‌ها برای دقت‌های بالا امکان پذیر نیست. مبدل‌های بیش نمونه برداری با استفاده از تکنیک شکل دادن نویز کوانتیزاسیون دقت بالایی را بدست می‌دهند. این نوع مبدل‌ها در مقایسه با مبدل‌های نوع اول نسبت به اثرات غیر ایده‌آلی مدارهای آنالوگ مقاوم هستند، از جمله می‌توان با استفاده از یک مقایسه‌گر تک بیتی، یک مبدل با دقت بالا به عنوان مثال ۱۸ بیت ساخت. بنابراین بهترین ساختار برای پیاده‌سازی مبدل‌های صوتی، مبدل‌های سیگما- دلتا هستند. مبدل‌های سیگما- دلتا از دو بخش مجزا تشکیل می‌شوند. قسمت اول شامل مدولاتور سیگما- دلتا است که به صورت آنالوگ پیاده‌سازی می‌گردد. بخش دوم فیلترهای Decimation است که پیاده‌سازی آن به صورت دیجیتال صورت می‌گیرد.

ساختار مناسب برای پیاده سازی یک مدولاتور سیگما- دلتا با دقت واقعی ۱۸ بیت با نرخ نایکوئیست ۵۰ کیلوهرتز برای کاربردهای صوتی در بخش دوم بحث می‌گردد. طراحی مدولاتور بهینه انتخاب شده در سطح سیستمی در بخش سوم صورت می‌گیرد. بخش چهارم به طراحی مداری بلوک‌های سازنده مدولاتور می‌پردازد. نتایج شبیه‌سازی‌های مداری در بخش پنجم آورده شده‌اند.

ساختار مدولاتور

ساختار مدولاتورهای سیگما- دلتا را می‌توان به دو دسته عمده، تک حلقه‌ای[6] و چند حلقه‌ای[7] تقسیم‌بندی کرد. در مدولاتورهای تک حلقه‌ای فقط از یک کوانتایزر استفاده می‌شود، در حالیکه در ساختار چند حلقه‌ای یا کسکید چند حلقه مجزا از هم بکار برده می‌شوند. هر کدام از این ساختارها می‌توانند DAC تک بیتی و یا چند بیتی داشته باشند.

مهمترین مزیت مدولاتورهای تک حلقه‌ای عدم حساسیت این مدولاتورها نسبت به تطبیق و اثرات غیرایده‌آلی مدارهای آنالوگ هستند [۱۱]. این نوع مدولاتورها نسبت به مدولاتورهای چند حلقه‌ای به مدارهای با خصوصیات راحتری نیاز دارند، از جمله بهره DC تقویت کننده، فرکانس بهره واحد تقویت کننده و غیره، ولی در مقابل مدولاتورهای تک حلقه ای بالاتر از مرتبه دوم به ازای ورودی‌های نزدیک به تمام‌رنج ناپایدار هستند. یک مدولاتور سیگما- دلتا زمانی پایدار است که ورودی مقایسه‌گر آن از محدوده مجاز ورودی تجاوز نکند. در مدولاتورهای تک حلقه ای بالاتر از مرتبه دوم با افزایش دامنه سیگنال ورودی به دلیل قرار گرفتن انتگرال‌گیرها پشت سر هم، ورودی مقایسه‌گر سریعتر افزایش یافته و باعث می‌شود که مقایسه‌گر در حالت بیش بارشدگی قرار گیرد، در نتیجه حلقه فیدبک منفی مدولاتور باز شده و مدولاتور در حالت ناپایداری قرار می‌گیرد. بدیهی است که این ناپایداری به ازای ورودی‌های بزرگتر در تمامی مدولاتورها رخ میدهد، ولی در مدولاتورهای تک حلقه ای دارای مرتبه بالا زودتر از مدولاتورهای کسکید و یا مرتبه های اول و دوم رخ میدهد. نسبت دامنه سیگنال ورودی به دامنه سیگنال فیدبک در جایی که SNR با افزایش دامنه سیگنال ورودی به اندازه ۶ دسیبل از SNR ماکزیمم افت میکند، به فاکتور سطح بیش بار شدگی مدولاتور موسوم است [۱۱]. بنابراین مدولاتورهای تک حلقه ای با مرتبه های بالا دارای فاکتور سطح بیش بارشدگی پایین‌تری نسبت به مدولاتورهای چند حلقه‌ای می‌باشند.

مزیت عمده یک مدولاتور با DAC چند بیتی در نشست کردن تقویت کننده عملیاتی لازم برای پیاده‌سازی انتگرال‌گیرها می‌باشد، زیرا در این حالت دامنه ماکزیمم ورودی انتگرال‌گیر بدلیل کاهش تفاوت بین سطوح ولتاژهای خروجی DAC کاهش می‌یابد، در حقیقت سیگنال دیجیتالی تخمین زده شده ورودی با افزایش تعداد بیت‌های کوانتایزر، بیشتر به سیگنال ورودی نزدیک است و این امر باعث کوچک شدن ورودی انتگرال‌گیر می‌گردد. در ضمن توان نویز خروجی کوانتیزاسیون نیز به مقدار قابل ملاحظه‌ای کم می‌شود، بنابراین انتگرال‌گیر براحتی نشست می‌کند و این امر باعث کاهش توان مصرفی لازم برای طراحی انتگرال‌گیر می‌گردد. همچنین دامنه تون‌های

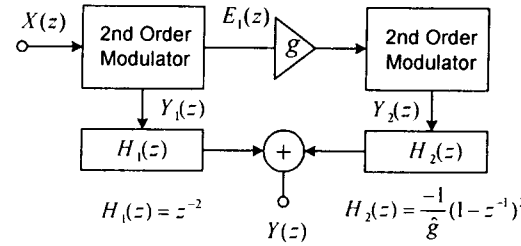
طیفی بدلیل کاهش نویز کوانتیزاسیون، کاهش می‌یابند. عیب عمده مدولاتورهای چند بیتی نیاز به خطی بودن DAC چند بیتی است که بایستی به اندازه دقت کل مدولاتور خطی باشد. روشهای مختلفی برای خطی سازی DAC چند بیتی پیشنهاد شده است. شکل دادن خطای DAC به سمت فرکانس های خارج باند و انتخاب تصادفی آرایه های DAC از جمله مهمترین این روشها هستند [۵]، [۱۳-۱۲]. به دلیل پیچیدگی این روشها و همچنین ایجاد تون های طیفی در داخل عرض باند سیگنال، در این مقاله از یک مدولاتور تک بیتی استفاده شده است.

همان طوری که بحث شد، مدولاتورهای سیگما- دلتا تک‌حلقه‌ای بالاتر از مرتبه دوم به ازای سیگنال‌های ورودی نزدیک به تمام‌رنج[۸] ناپایدار هستند. برای افزایش مرتبه مدولاتور در ساختار کسکید از ترکیب مدولاتورهای مرتبه اول و دوم که همیشه پایدار هستند، استفاده می‌شود. از آنجایی که مسئله پایداری در این نوع مدولاتورها تضمین شده است این نوع مدولاتورها محدوده دینامیکی بیشتری نسبت به مدولاتورهای تک حلقه‌ای دارند.

شکل (۱) یک مدولاتور کسکید ۲-۲ را نشان می‌دهد. در این ساختار، ورودی مدولاتور دومی، خطای کوانتیزاسیون مدولاتور اولی است، بنابراین مدولاتور دومی خطای کوانتیزاسیون مدولاتور اولی را تخمین می‌زند. خروجی هر دو مدولاتور به یک مدار دیجیتال داده می‌شوند. اگر عمل ترکیب دیجیتال خروجی‌ها به طور کامل انجام شود، در سیگنال خروجی فقط اثر خطای کوانتیزاسیون مدولاتور طبقه دوم ظاهر خواهد شد، معادلات آن به صورت زیر هستند:

$$Y_1(z) = z^{-2}X(z) + (1-z^{-1})^2 E_1(z) \quad (۱)$$

$$Y_2(z) = g\, z^{-2} E_1(z) + (1-z^{-1})^2 E_2(z) \quad (۲)$$



شکل ۱: بلوک دیاگرام کلی یک مدولاتور کسکید ۲-۲.

$$Y(z) = Y_1(z)H_1(z) + Y_2(z)H_2(z)$$
$$= z^{-4}X(z) + z^{-2}(1-\frac{g}{\hat{g}})E_1(z)(1-z^{-1})^2$$
$$-\frac{1}{\hat{g}}(1-z^{-1})^4 E_2(z) \quad (۳)$$

که در آن $\hat{g}$ تخمین دیجیتال پارامتر آنالوگ g است. بنابراین در صورت تطبیق کامل پارامترهای آنالوگ و تخمین دیجیتال متناظر آنها، در یک مدولاتور کسکید فقط خطای کوانتیزاسیون طبقه آخر در خروجی مدولاتور ظاهر می‌شود. مهمترین عیب مدولاتورهای کسکید حساس بودن به تطبیق ضرایب آنالوگ و تخمین دیجیتال این ضرایب در مدار ترکیب کننده دیجیتال می‌باشد. عدم تطبیق g و $\hat{g}$ باعث ظاهر شدن نویز کوانتیزاسیون مقایسه‌گر طبقه اول در خروجی مدولاتور می‌شود.

در طراحی مدولاتورهای سیگما- دلتا با دقت بالا، نویز حرارتی سوئیچها و نویز مداری تقویت کننده (نویز حرارتی و نویز سوسوئی[۹]) دقت آن را محدود می‌سازند. SNR ناشی از نویز حرارتی سوئیچها را می‌توان توسط رابطه زیر بیان کرد:

$$SNR_{KT/C} = \frac{(2\times OL\times V_{ref})^2}{2}\frac{C_S\times M}{4KT} \quad (۴)$$

که در آن، OL فاکتور سطح بیش بارشدگی، V_{ref} دامنه ولتاژ فیدبک، C_S خازن نمونه‌برداری و M نسبت بیش نمونه‌برداری می‌باشند. ماکزیمم سوئینگ خروجی انتگرال‌گیرها (تقویت کننده‌ها)، اندازه ولتاژ فیدبک را مشخص می‌سازند، بنابراین برای یک طراحی با توان مصرفی پایین، بایستی تا جایی که ممکن است، OL افزایش داده شود. همانطوریکه در ابتدای این بخش بحث شد، مدولاتورهای تک حلقه ای OLپایینتری دارند. مدولاتورهای با DAC چند بیتی نیاز به خطی سازی DAC دارند که خطی سازی آن توان مصرفی و پیچیدگی سیستم را افزایش می‌دهد. بنابراین بهترین کاندید برای دقت بالا، مدولاتورهای کسکید تک بیتی می‌باشند. مدولاتورهای کسکیدی که می‌توانند دقت ۱۸ بیت با نرخ نایکوئیست ۵۰ کیلوهرتز را برآورده سازند، مدولاتور کسکید ۲-۱ با $M = 256$ و مدولاتورهای کسکید ۲-۲ و کسکید ۲-۱-۱ با

$M = 128$ می‌باشند. دراین قسمت ابتدا به بررسی توان مصرفی این سه نوع مدولاتور پرداخته می‌شود و ساختار بهینه از نظر توان مصرفی انتخاب خواهد شد.

هر سه مدولاتور کسکید فوق‌الذکر برای دست یافتن به سطح بیش‌بارشدگی بالا طراحی شده‌اند [۱۴]. خصوصیات مداری لازم برای پیاده‌سازی هر کدام از این مدولاتورها به کمک شبیه‌سازی‌های سیستمی بدست آمده‌اند. مدارهای لازم برای پیاده‌سازی این مدولاتورها طراحی شده و به کمک HSPICE شبیه‌سازی انجام شده است. جدول (۱) توان مصرفی هر سه این مدولاتورها را نشان می‌دهد[۱۴]. بایستی توجه داشت که قسمت عمده توان مصرفی مدولاتورهای سیگما- دلتا با دقت بالا را تقویت کننده عملیاتی اولین انتگرال‌گیر مصرف می‌کند. لذا در محاسبه توان مصرفی کل این سه مدولاتور، توان مصرفی OTA طبقه اول در نظر گرفته شده است. توان مصرفی کل مبدل با توجه به توان مصرفی این OTA تعیین شده است که مقدار توان مصرفی OTA طبقه اول حدود ۵۰ درصد توان مصرفی مدولاتور فرض شده است. البته توان مصرفی مدولاتور کسکید ۲-۲ همان توان مصرفی مدولاتور طراحی شده در این مقاله است.

جدول ۱: توان مصرفی مدولاتورهای کسکید ۲-۱، ۲-۲ و ۲-۱-۱.

Modulator	Power consumption
Cascade 2-2	65 mW
Cascade 2-1-1	76 mW
Cascade 2-1	90 mW

با توجه به جدول (۱) دیده می‌شود که مدولاتور کسکید ۲-۲ کمترین توان مصرفی را نسبت به دو ساختار دیگر دارد، بنابراین در این مقاله، مدولاتور کسکید ۲-۲ با نسبت بیش نمونه برداری ۱۲۸ به عنوان مدولاتور بهینه از نظر توان مصرفی، انتخاب شده است.

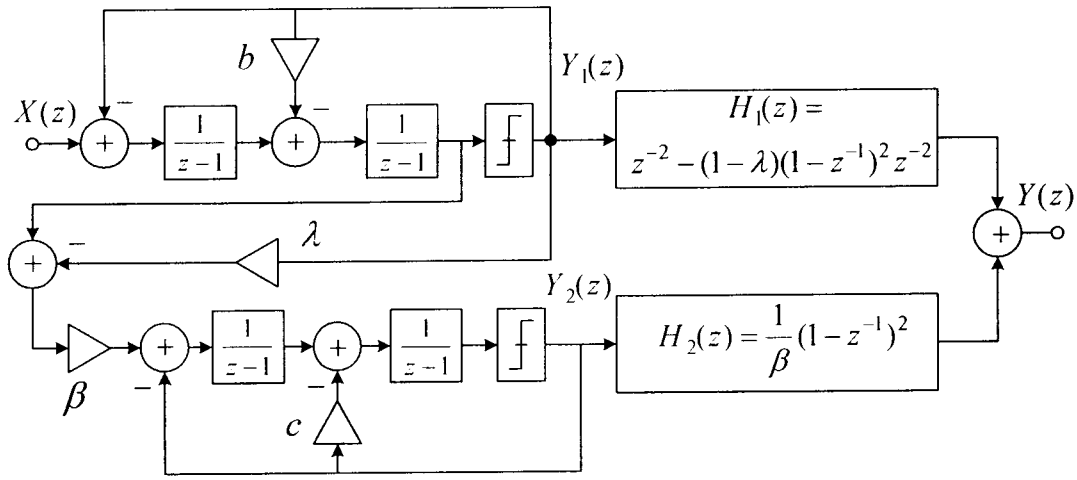
طراحی مدولاتور در سطح سیستمی

بلوک دیاگرام مدولاتور کسکید ۲-۲ در شکل(۲) نشان داده شده است. در این قسمت، شبیه‌سازی‌های کامپیوتری که از مدل غیرخطی کوانتایزر استفاده می‌کنند، برای انتخاب ضرایب سیستم b، c، β و λ بکار برده می‌شوند. مقدار این ضرایب به نحوی انتخاب می‌شوند که محدوده دینامیکی مدولاتور را تا حد ممکن ماکزیمم سازند. مسئله دیگری که بایستی به آن توجه داشت، مستقل بودن نویز کوانتیزاسیون از سیگنال ورودی است که از وجود هارمونیک‌ها و وابستگی سطح نویز به سیگنال ورودی جلوگیری می‌کند.

SNDR شبیه‌سازی شده طبقه اول مدولاتور در شکل (۳) بصورت تابعی از توان سیگنال ورودی به ازای چندین مقدار b نشان داده شده است. با فرض نرخ نایکوئیست خروجی برابر با ۵۰ کیلوهرتز، یک سیگنال سینوسی با فرکانس ۱/۵۶۲۵ کیلوهرتز برای ایجاد دیتای لازم در این شکل به کار برده شده است. با توجه به این شکل واضح است که SNDR ماکزیمم، فاکتور سطح بیش بارشدگی و وابستگی نویز کوانتیزاسیون به سیگنال ورودی، همگی تحت تاثیر مقدار b قرار می‌گیرند. ماکزیمم SNDR و فاکتور سطح بیش بارشدگی طبقه اول مدولاتور وقتی $2 < b < 4$ است، در بالاترین سطح قرار دارند، علاوه بر این، نویز کوانتیزاسیون وقتی $b \geq 3$ است، وابستگی بیشتری به سیگنال ورودی پیدا می‌کند بنابراین مقدار $b = 2.5$ به عنوان بهترین حالت انتخاب می‌شود.

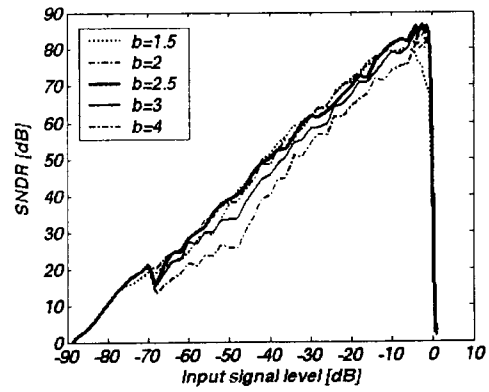
شکل (۴) SNDR خروجی مدولاتور را به صورت تابعی از توان سیگنال ورودی به ازای چندین مقدار β و λ با $b = c = 2.5$ نشان می‌دهد . بالاترین سطح بیش بارشدگی حدود 0.6 dBFS- است که به ازای $\beta = 0.125$ و $\lambda = 1$ مشاهده می‌شود. خوشبختانه دراین حالت نویز کوانتیزاسیون مستقل از سیگنال ورودی است. بنابراین ضرایب مدولاتور کسکید ۲-۲ به صورت $\beta = 0.125$، $\lambda = 1$ و $b = c = 2.5$ انتخاب می‌شوند.

نکته مهمی که بایستی در طراحی یک مدولاتور سیگما- دلتا مورد توجه قرار گیرد، مقدار سوئینگ خروجی انتگرال‌گیرها، موقعی که سیگنال ورودی نزدیک به تمام‌رنج است، می‌باشد. شکل (۵) بلوک دیاگرام مدولاتور کسکید ۲-۲ را بعد از مقیاس‌بندی سیگنال و انتخاب بهره انتگرال‌گیرها نشان می‌دهد[۱۴]. هدف از مقیاس‌بندی سیگنال، استفاده از محدوده سیگنال ورودی بیشتر به مدولاتور است، بدون اینکه خروجی انتگرال‌گیرها به اشباع

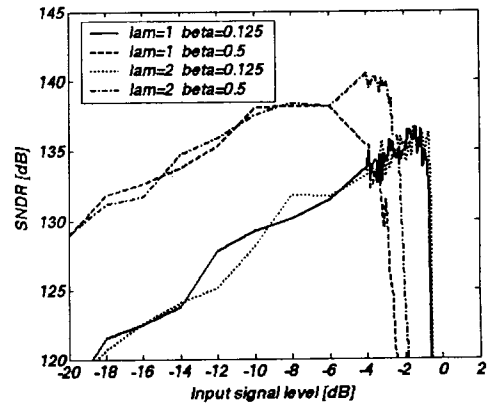


شکل ۲: ساختار مدولاتور کسکید ۲-۲.

رفته باشند. بدیهی است که مقیاس‌بندی تاثیری در عملکرد مدولاتور (سطح بیش‌بارشدگی، محدوده دینامیکی، SNDR ماکزیمم و غیره) نخواهد داشت.



شکل ۳: SNDR یک مدولاتور مرتبه دوم به ازای مقادیر مختلف b.



شکل ٤: SNDR مدولاتور کسکید ۲-۲ به ازای مقادیر مختلف β و λ.

مشخصات مدارهای تشکیل دهنده مدولاتور با مدل سازی اثرات غیرایده‌آلی مدارهای آنالوگ در سطح سیستمی و انجام شبیه‌سازی‌های لازم بدست می‌آیند [۱۵-۱۶]. از جمله مهمترین اثرات غیرایده‌آلی مدارهای آنالوگ که عملکرد مدولاتور را تحت تاثیر قرار می‌دهند، بهره DC، پهنای باند، سرعت چرخش[۱۰]، سوئینگ خروجی تقویت کننده و نویز مداری می‌باشند. جدول (۲) مشخصات لازم برای OTA طبقه اول مدولاتور را نشان می‌دهد.

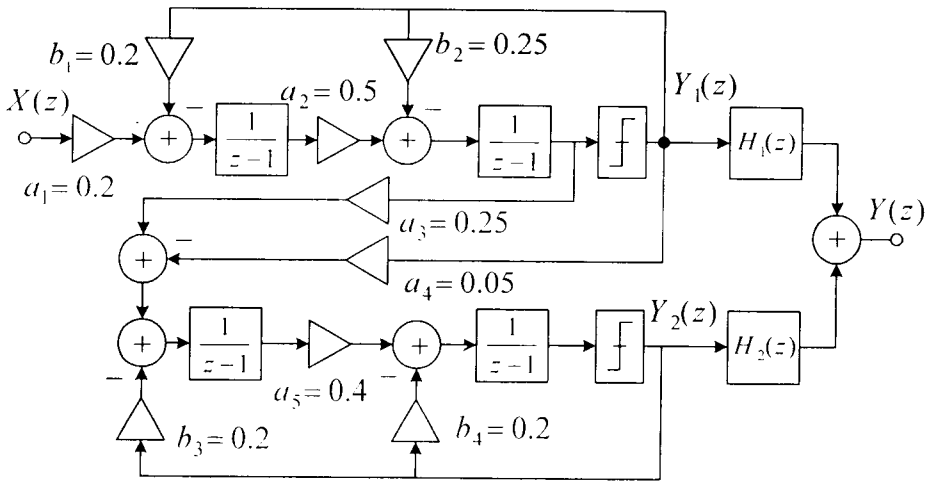
جدول ۲: مشخصات OTA طبقه اول.

Parameter	Value
DC Gain	80 *dB*
Unity Gain Bandwidth	55 *MHz*
Slew Rate	120 $V/\mu s$
Swing	$4V_{pp}$ *differential*
Input Referred Noise	$10^{-16}\ V^2/Hz$

طراحی مداری بلوک‌های سازنده مدولاتور

تقویت‌کننده عملیاتی[۱۱]

در انتخاب یک ساختار مناسب برای تقویت کننده عملیاتی چندین مقوله اساسی وجود دارند. تعداد طبقات OTA با توجه مقدار بهره dc لازم تعیین می‌شود. یک OTA تک‌طبقه نمی‌تواند به بهره dc بالاتری دست یابد، زیرا پایین بودن منبع تغذیه باعث جلوگیری از افزایش تعداد ترانزیستورهای کسکود[۱۲] می‌گردد. یک روش استفاده

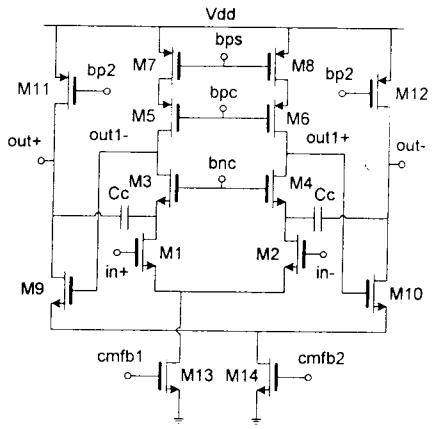


شکل ۵: مدولاتور کسکید ۲-۲ با بهره انتگرال‌گیرها.

از تکنیک بوستینگ بهره[۱۳] است [۱۹-۱۷]. استفاده از این روش جهت افزایش بهره dc در ولتاژهای تغذیه پایین و در عین حال دست یافتن به سوئینگ خروجی بالا مقدور نیست، زیرا حداقل چهار ترانزیستور در طبقه خروجی OTA وجود خواهند داشت و با منبع تغذیه ۳/۳ ولت حداکثر سوئینگ حدود ۴/۶ ولت به صورت کاملا تفاضلی به دست می‌آید[۱۹].

همانطوریکه در جدول (۲) نشان داده شده است، در این پروژه نیاز به یک تقویت‌کننده با بهره dc و سوئینگ خروجی بالا برای پیاده‌سازی اولین انتگرال‌گیر وجود دارد. بنابراین از یک تقویت‌کننده دو طبقه برای برآورده کردن این مشخصات در این پروژه استفاده شده است. افزایش سوئینگ خروجی با بکار بردن طبقه خروجی به صورت کلاس AB ممکن است، ولی چنین مدارهایی معمولا سرعت پایین‌تری دارند [۲۰].

شکل (۶) OTA تماما تفاضلی استفاده شده در این مقاله را نشان می‌دهد. طبقه اول آن یک تقویت کننده تلسکوپیک[۱۴] است و طبقه دوم آن یک زوج تفاضلی است. ساختار تلسکوپیک مزیت‌های عمده‌ای نسبت به ساختار فلدد-کسکود[۱۵] دارد، از جمله این مزیت‌ها می‌توان به موارد زیر اشاره کرد: ۱) نویز کمتری دارد، ۲) توان مصرفی کمتری دارد، ۳) تمام مسیر سیگنال NMOS است. در نتیجه به ازای یک توان مصرفی، سرعت آن بیشتر است. در تقویت کننده نشان داده شده در شکل (۶) تمام مسیر سیگنال NMOS است. افزاره‌های NMOS تقریبا سه برابر سریع‌تر از افزاره‌های PMOS هستند، زیرا قابلیت حرکت الکترون‌ها بیشتر از قابلیت حرکت حفره‌ها می‌باشد. از آنجایی که توان و سرعت مستقیما با هم ارتباط دارند، یک تقویت کننده سرعت بالا توان کمتری در مقایسه با یک تقویت کننده سرعت پایین به ازای یک شرط نشست[۱۶] ثابت مصرف خواهد کرد. عیب ترانزیستورهای ورودی NMOS در بزرگ بودن نویز سوسوئی آنها می‌باشد.



شکل ٦: مدار OTA دو طبقه کاملا تفاضلی.

طبقه دوم OTA بجای مدار سورس مشترک از مدار کاملا تفاضلی تشکیل شده است. داشتن یک افزاره جریان tail نیاز به طبقه معکوس کننده در مدار فیدبک مد- مشترک[۱۷] را برطرف می‌سازد که این مدار معکوس کننده توان مصرفی بالایی دارد. این مسئله باعث می‌شود که بتوان از

یک مدار ساده فیدبک مد- مشترک که توان مصرفی کمتری دارد استفاده کرد. تقویت کننده کاملا تفاضلی[۱۸] طبقه دوم نیاز به انتقال دهنده سطح dc مابین خروجی طبقه اول و ورودی طبقه دوم را نیز از بین می‌برد. علاوه بر این ساختار کاملا تفاضلی، نسبت رد منبع تغذیه (PSRR) و نسبت رد مد- مشترک (CMRR) را بهبود می‌بخشد.

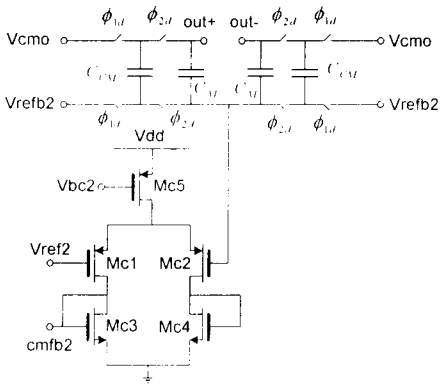
جدول ۳: مشخصات OTA طبقات مختلف.

Parameter	OTA # 1	OTA # 2	OTA # 3	OTA # 4
DC Gain [dB]	92	90	91	87
Unity Gain Bandwidth [MHz]	100	106	104	121
Phase Margin [degree]	74	73	74	71
Settling Time 0.0001% [ns]	44	36	62	51
Slew Rate [v/us]	210	185	175	170
Power Consumption [mW]	34	10	9	5
Input Referred Thermal Noise [V^2/Hz]	3.5×10^{-17}	5.8×10^{-17}	8.7×10^{-17}	1.2×10^{-16}
Flicker Noise @ 100 Hz [V^2/Hz]	1.7×10^{-15}	2.9×10^{-15}	4.4×10^{-15}	6.2×10^{-15}
Swing (differential)	5.1 Vpp	5.2 Vpp	5.1 Vpp	5.3 Vpp

یک تقویت کننده دو طبقه برای داشتن پایداری نیاز به جبران‌سازی دارد. جبران‌سازی استاندارد میلر اثر شکافت قطب‌ها را دارد، بطوریکه قطب غالب را به سمت فرکانس پایین می‌کشد و قطب دیگر را به سمت فرکانس‌های بالاتر می‌راند. تقویت کننده شکل (۶) از طرح جبران‌سازی کسکود استفاده می‌کند. در این روش جبران‌سازی، یک قطب غالب و دو قطب مختلط فرکانس بالا ایجاد می‌شود. ثابت شده است که در جبران‌سازی کسکود تقویت کننده دارای پهنای باند بیشتری نسبت به جبران‌سازی استاندارد میلر است [۲۱]. جدول (۳) مشخصات تقویت کننده های شبیه‌سازی شده انتگرال‌گیرهای مدولاتور را نشان می‌دهد.

مدار فیدبک مد- مشترک

فیدبک مد- مشترک در تقویت کننده‌های کاملا تفاضلی برای مشخص کردن ولتاژ گره‌های خروجی امپدانس بالا لازم هستند. دراین تقویت کننده از یک مدار فیدبک مد- مشترک دینامیکی یا سوئیچ شونده خازنی استفاده شده است. تقویت کننده طبقه دوم که بصورت تماما تفاضلی است نیاز به یک طبقه معکوس کننده در حلقه فیدبک مد- مشترک را از بین می‌برد .

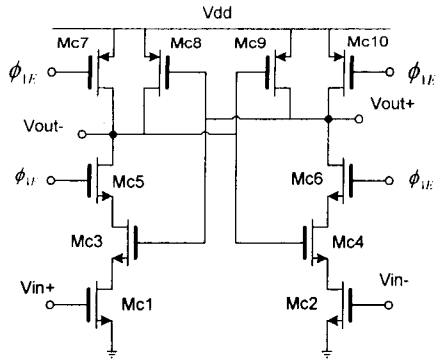


شکل ۷: مدار CMFB طبقه دوم OTA.

شکل (۷) مدار فیدبک مد- مشترک طبقه دوم تقویت کننده را نشان می‌دهد. خازن‌های C_M برای حس ولتاژ مد- مشترک خروجی بکار برده می‌شوند. در طی فاز ϕ_{2d}، خازن‌های سوئیچ شونده، C_{CM} ولتاژ DC مناسب روی خازن حس‌گر C_M قرار می‌دهند. برای داشتن بهره DC کافی در حلقه مد- مشترک از یک طبقه زوج دیفرانسیلی نیز استفاده شده است. یک مدار فیدبک مد- مشترک مشابه برای طبقه اول OTA بکار رفته است.

مدار مقایسه‌گر

دومین عنصر تشکیل دهنده یک مدولاتور، مقایسه‌گر است. عملکرد مدولاتور نسبتا به هیسترزیس و آفست مقایسه‌گر غیرحساس است [۲۲]. زیرا این اثرات در مقایسه‌گرهای اولی و دومی به ترتیب بوسیله شکل‌دهی نویز مرتبه دوم و چهارم تضعیف می‌شوند.



شکل ۸: مدار مقایسه‌گر.

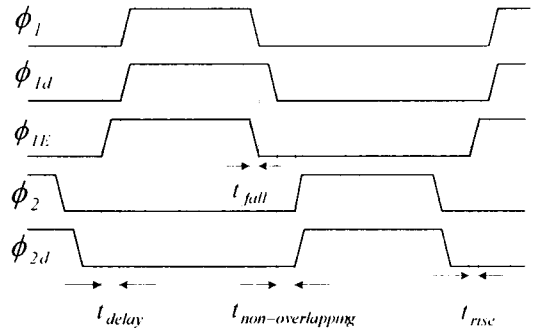
یک مقایسه‌گر[۱۹] ساده دینامیکی همانطوریکه در شکل (۸) نشان داده شده، بکار برده شده است. در طی فاز دوم، موقعی که سیگنال کلاک[۲۰] پایین است خروجی‌های

تفاضلی تا V_{DD} ریست می‌شوند، به محض اینکه سیگنال کلاک بالا می‌رود، ورودی‌های تفاضلی مقاومت ترانزیستورهای خطی Mc1 و Mc2 را کنترل می‌کنند. بسته به مقدار این مقاومت‌های تفاضلی، خروجی معکوس کننده‌های پشت به پشت هم بسته شده Mc3 ، Mc4 ، Mc8 و Mc9، تصمیم مناسب را می‌گیرند. برای اینکه بتوان خروجی مقایسه‌گر را در فاز دوم نگه داشت از یک مدار لچ SR استفاده شده است. خروجی‌های مقایسه‌گر در طی فاز دوم توسط این مدار نگهداری می‌شوند.

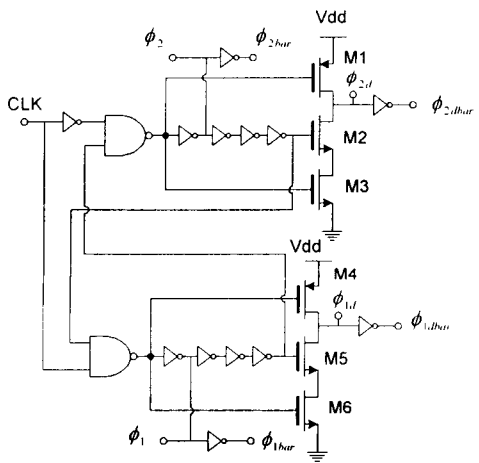
مدار تولید کلاک

مدار انتگرال‌گیرها برای می‌نیمم کردن خطاهای تزریق بار وابسته به سیگنال ورودی نیاز به دو کلاک با فازهای غیرهمپوشانی شده دارند. شکل (۹) شکل موج فازهای لازم را نشان می‌دهد. ϕ_{1d} و ϕ_{2d} تاخیر یافته فازهای ϕ_1 و ϕ_2 هستند. فاز جدید ϕ_{1E} به دلیل اینکه مقایسه‌گر اولی بایستی کمی زودتر از نمونه‌برداری انتگرال‌گیر سومی از خروجی انتگرال‌گیر دومی تصمیم بگیرد، اضافه شده است. نمونه‌برداری انتگرال‌گیر سومی از خروجی انتگرال‌گیر دومی باعث ایجاد اختلالاتی در خروجی انتگرال‌گیر دومی می‌شود که اگر مقایسه‌گر در فاز ϕ_1 تصمیم بگیرد، ممکن است به دلیل این اختلالات تصمیم غلطی گرفته باشد، بنابراین لازم است که مقایسه‌گر چند لحظه زودتر از فاز ϕ_1 تصمیم بگیرد. لبه‌های بالا رونده ϕ_1 و ϕ_{1d} و همچنین ϕ_2 و ϕ_{2d} یکسان در نظرگرفته شده‌اند، زیرا برای حذف اثر خطای تزریق بار وابسته به سیگنال فقط کافی است که لبه‌های پایین رونده آنها دارای تاخیر باشند. یکی در نظر گرفتن لبه‌های بالا رونده فازها باعث افزایش زمان نشست در دسترس OTA می‌گردد. زمان نشست حدود ٪۶۰، زمان نمونه‌برداری حدود ٪۳۰ و سایر زمان‌های لازم برای صعود، نزول، تاخیر و زمان غیرهمپوشانی حدود ٪۱۰ پرید کلاک اصلی در نظر گرفته شده‌اند.

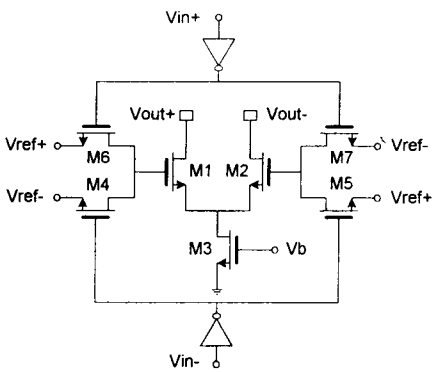
مدار تولید کلاک در شکل (۱۰) نشان داده شده است. ترانزیستورهای M1-M3 و M4-M6 باعث می‌شوند که لبه‌های بالا رونده فازهای ϕ_1 و ϕ_{1d} و همچنین ϕ_2 و ϕ_{2d} همزمان صورت گیرند. تاخیر و زمان غیرهمپوشانی توسط تاخیر زنجیره معکوس کننده‌ها و گیت‌های NAND کنترل می‌شوند.



شکل ۹: شکل موج فازهای لازم.



شکل ۱۰: مدار تولید کلاک.



شکل ۱۱: مدار بافرهای خروجی.

بافر خروجی

خروجی دیجیتال مقایسه‌گرهای مدولاتور توسط بافرهای خروجی به خارج تراشه راه می‌یابند. بافرهای خروجی برای کم کردن کوپلاژ نویز دیجیتال به داخل بستر

و همچنین از طریق سیم‌های اتصالی در مدارهای mixed-mode بکار برده می‌شوند. بدلیل اینکه خروجی‌های دیجیتال یک مبدل آنالوگ به دیجیتال مابین V_{DD} و V_{SS} در هر سیکل کلاک می‌توانند سوئینگ کنند، بنابراین باعث ایجاد نویز در بستر تراشه می‌گردند.

خروجی بافر نشان داده شده در شکل (۱۱) کوپلاژ نویز بستر را از طریق ثابت نگهداشتن جریان بستر از طریق ترانزیستور M3 بدون توجه به بیت‌های خروجی دیجیتال، کم می‌کند. علاوه بر این، در این مدار یک زوج تفاضلی برای درایو کردن سیگنال دیجیتال مقاومت‌های بار خارج تراشه بر روی مدار برد تست بکار رفته است. بیرون آوردن سیگنال‌های خروجی به صورت تفاضلی باعث حذف $L\frac{dI}{dt}$ القا شده در سیم‌های اتصال می‌شود. ورودی دیجیتال تفاضلی، زوج تفاضلی M1 و M2 را با سوئیچ کردن مناسب ولتاژهای مرجع از طریق ترانزیستورهای M4 تا M7 کنترل می‌کند. توجه شود که ولتاژهای +Vref و -Vref بافرهای خروجی جدا از ولتاژهای فیدبک DAC ها هستند و در حقیقت ولتاژهای بایاس این مدار می‌باشند.

خازن‌های نمونه‌برداری

همانطوریکه بحث شد، نویز کوانتیزاسیون خروجی مدولاتور کسکید ۲-۲ در صورت وجود عدم تطبیق بین ضریب β و تخمین دیجیتال آن، $\hat{\beta}$، افزایش می‌یابد. اگر خازن‌های مدار با متغیرهای تصادفی گوسی که میانگین آنها بسیار بزرگتر از انحراف معیارشان باشد، مدل‌سازی شوند، در این صورت پارامتر β تقریبا یک متغیر تصادفی گوسی با واریانس کسری زیر خواهد بود[۱۴]:

$$\frac{\sigma^2_{\beta}}{E^2(\beta)}=1.008\,\frac{\sigma^2[C_{Sb1}]}{E^2(C_{Sb1})}+1.125\,\frac{\sigma^2[C_{Sa2}]}{E^2(C_{Sa2})}+4.0625\,\frac{\sigma^2[C_{Sa3}]}{E^2(C_{Sa3})} \qquad (۵)$$

که در آن $\sigma^2[.]$ و $E(.)$ به ترتیب عملگرهای واریانس و امید ریاضی هستند. C_{Sai} و C_{Sbi} به ترتیب خازن‌های نمونه‌برداری انتگرال‌گیر iام ضرایب a و b می‌باشند. از طرفی σ، انحراف معیار تطبیق یک خازن C به صورت زیر است:

$$\sigma=\frac{k}{\sqrt{\frac{C}{C_{unit}}}} \qquad (۶)$$

که در آن $0.03\le k\le 0.05$ و C_{unit} خازن واحد پروسس مورد نظر است. نتیجه شبیه سازی‌ها نشان می‌دهد که خطای تطبیق حدود ۰/۲۵ درصد مابین β و $\hat{\beta}$ باعث کاهش محدوده دینامیکی به اندازه ۲ دسیبل می‌گردد. خازن C_{S1} با توجه به مقدار نویز KT/C سوئیچ‌ها تعیین می‌شود. خازن‌های C_{S2} و C_{S3} با توجه به مقدار تطبیق پارامترهای β و $\hat{\beta}$ از رابطه فوق بدست می آیند. مقدار خازن های نمونه‌برداری به صورت $C_{S1}=8pF$، $C_{S2}=2pF$ و $C_{S3}=2pF$ در نظر گرفته شده‌اند. مقدار خازن نمونه‌برداری انتگرال‌گیر چهارم با توجه مقدار تطبیق لازم بین ضرایب این انتگرال‌گیر بدست می‌آید که مقدار آن ۰/۸ پیکوفاراد فرض شده است. بدیهی است که اندازه خازن‌های انتگرال‌گیر از روی خازن‌های نمونه‌برداری و ضرایب مدولاتور بدست می‌آیند.

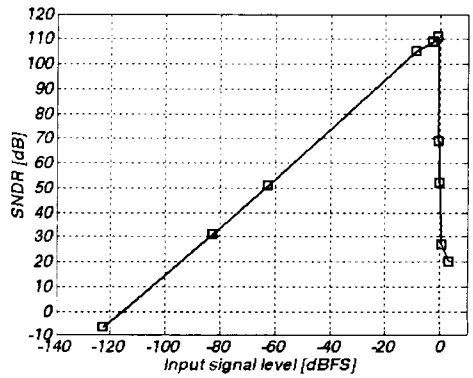
سوئیچ‌های مدار

خطی بودن مقاومت حالت وصل یک سوئیچ یک فاکتور عمده در طراحی آن به شمار می‌رود. برای دست یافتن به درجه خطی بالا از سوئیچ‌های CMOS استفاده شده است. ابعاد این سوئیچ‌ها طوری در نظر گرفته شده است که شبکه نمونه‌برداری دارای پهنای باند کافی باشد. افزایش ابعاد یک سوئیچ مقاومت حالت وصل آن را کاهش می‌دهد، ولی در مقابل باعث افزایش خازن‌های پارازیتی و تزریق بار می‌گردد. بنابراین، بایستی یک مقدار بهینه برای ابعاد سوئیچ‌ها با در نظر گرفتن مسائل فوق بدست آورده شود.

نتایج شبیه‌سازی

مدار مدولاتور به کمک تکنولوژی 0.6μm، CMOS ، ۵ ولت دیجیتال طراحی شده و با نرم‌افزار HSPICE شبیه‌سازی شده است. توان مصرفی آن حدود ۶۵ میلی‌وات بدون در نظر گرفتن بافرهای خروجی و بافرهای ولتاژ است. منبع تغذیه آن ۳/۳ ولت با مقدار ۱۰± درصد تغییرات

مـی‌باشـد. فـرکانس نمونه‌برداری آن ۶/۴ مگاهرتز با نسبت بـیش نمونه‌برداری ۱۲۸ و نرخ نایکوئیست آن ۵۰ کیلوهرتز اسـت. شـکل (۱۲) منحنـی محدوده دینامیکی آن را نشان مـی‌دهـد. ایـن منحنی با در نظر گرفتن اثرات نویز مداری، اعـم از نویـز حرارتی سوئیچ‌ها، نویز حرارتی و نویز سوسوئی تقویـت کننده‌ها رسم شده است. سیگنال ورودی به صورت یک سیگنال سینوسی با فرکانس ۱/۵۶۲۵ کیلوهرتز در نظر گرفـته شـده است. محدوده دینامیکی مدولاتور شبیه‌سازی شده حدود ۱۱۴ دسیبل است.



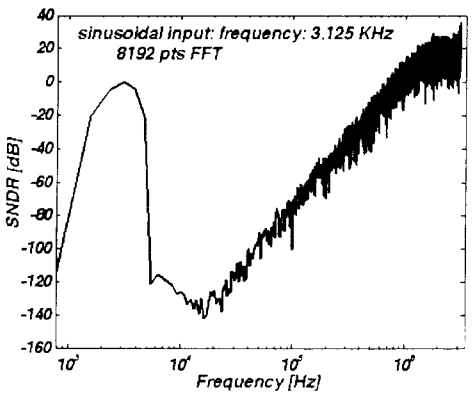
شکل ۱۲: منحنی دینامیکی مدولاتور شبیه‌سازی شده.

شـکل (۱۳) طیف خروجی مدولاتور را به ازای یک سیگنال سینوسی dBFS ۲/۶- و فرکانس ۳/۱۲۵ کیلوهرتز نشـان مـی‌دهـد. جـدول (۴) خلاصـه مشخصـات مدولاتور شـبیه‌سـازی شـده را در سـه گوشه پروسس نشان می‌دهد. حالت اول مربوط به گوشه معمولی پروسس است که در آن دمـا 25°C و منبع تغذیه ۳/۳ ولت در نظر گرفته شده‌اند. در حالـت دوم گوشه پروسس در کندترین حالت و دما 85°C و منـبع تغذیـه ۳ ولـت مـی‌باشـند. حالـت سـوم مـربوط بـه سریعترین گوشه پروسس با دمای 40°C- و منبع تغذیه ۳/۶ ولـت اسـت. بایستی متذکر شد که این سه حالت به ترتیب بـه عنوان حالت‌های نمونه‌ای، بدترین و بهترین حالت‌ها در شبیه‌سازی‌های مداری شناخته شده‌اند

مفـید بـودن یـک مبدل آنالوگ به دیجیتال از نظر توان مصرفی در مقایسه با مبدل‌های دیگر که از نظر دقت و نـرخ نایکوئیسـت خروجـی مـتفاوت هسـتند، توسـط معیار شایستگی زیر بررسی می‌گردد.

$$FM = \frac{4KT \times DR \times f_N}{P} \qquad (۷)$$

کـه در آن P کـل توان مصرفی مبدل، f_N نرخ نایکوئیست خروجـی و DR محـدوده دینامیکـی که به جای دسیبل به صـورت یـک عـدد بیان می‌شود، هستند. شکل (۱۴) معیار شایسـتگی چندیـن مدولاتور گزارش داده شده در سال‌های اخـیر را نشـان مـی‌دهـد. برای مقایسه دقیق، توان مصرفی بافـرهای خروجـی، بافرهای ولتاژ و مدار تولید کننده کلاک مدولاتور شبیه‌سازی شده در این پروژه به آن اضافه شده‌اند و ضمنا توان بدترین حالت پروسس مورد مقایسه قرارگرفته اسـت کـه مقـدار آن حدود ۸۰ میلی‌وات است. لازم به ذکر اسـت کـه اکـثر مدولاتورهـای مقایسـه شـده در این شکل ساخته شده و نتایج گزارش شده در آنها حاصل اندازه‌گیری اسـت. ولـی SNDR ماکـزیمم آنهـا خیلـی کمـتر از نـتایج شـبیه‌سـازی‌های این مقاله است. به عنوان مثال در [۳ -۱] مدولاتورهـای بـا محدوده دینامیکی حدود ۱۱۷ dB ساخته شـده‌انـد، ولی SNDR ماکزیمم اندازه‌گیری شده آنها حدود ۱۰۰ dB اسـت. بنابرایـن انـتظار می‌رود که با تهیه لی‌آوت دقـیق این مقاله SNDR قابل مقایسه‌ای با کارهای قبلی که بـا منـبع ۵ ولـت به دقت واقعی ۱۸ بیت رسیده‌اند، بدست آید.



شکل ۱۳: طیف خروجی مدولاتور در حالت معمولی پروسس.

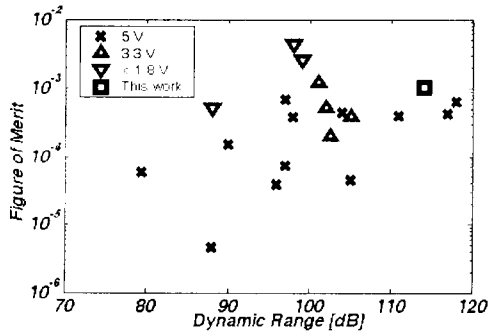
نتیجه‌گیری و پیشنهادات

در ایـن مقالـه یـک مـبدل سیگما- دلتا با دقت ۱۸ بیـت و نـرخ نایکوئیست ۵۰ کیلوهرتز طراحی و شبیه‌سازی شده است. منبع تغذیه آن ۳/۳ ولت و نرخ نمونه برداری آن ۶/۴ مگاهرتـز اسـت. سـاختار مدولاتـور کسـکید ۲-۲ برای

دست یافتن به بالاترین سطح بیش بارشدگی طراحی شده است. سطح بیش بارشدگی ساختار بهینه شده حدود 0.6- dBFS است ، که بالاترین سطح بیش بار شدگی یک مدولاتور کسکید ۲-۲ بدون استفاده از مدار فیدبک محلی را داراست [۲-۱]. نتایج شبیه‌سازی‌ها نشان می‌دهند که محدوده دینامیکی و ماکزیمم SNDR مدولاتور طراحی شده به ترتیب حدود ۱۱۴ و ۱۱۰ دسیبل هستند.

جدول ۴: خلاصه مشخصات مدولاتور.

Parameter	Fast	Nominal	Slow
Dynamic Range	--------	114 dB	--------
Peak SNR	113 dB	112.5 dB	110.5 dB
Peak SNDR	111 dB	110 dB	109.5 dB
Overload Level	--------	-0.6 dBFS	---------
Sampling Rate	6.4 MHz	6.4 MHz	6.4 MHz
Oversampling Ratio	128	128	128
Signal Bandwidth	25 KHz	25 KHz	25 KHz
Power Supply Voltage	3.6 V	3.3 V	3 V
Power Consumption	69 mW	65 mW	64 mW
Temperature	-40 °C	25 °C	85 °C
Technology	0.6 um, 5-V Digital, CMOS, 2 Poly, 3 Metal (DPTM) with poly-poly capacitors		



شکل ۱۴: معیار شایستگی مبدل‌های سیگما- دلتا سال‌های اخیر.

با توجه به جهت مقیاس کردن تکنولوژی CMOS ، پایین آوردن ولتاژ تغذیه می‌تواند همچنان ادامه یابد. بنابراین طراحی و ساخت مدولاتورهای صوتی با دقت ۱۸ بیت با منابع تغذیه کمتر از سه ولت می‌تواند به عنوان پروژه جدیدی در جهت ادامه این کار باشد. کم‌کردن توان مصرفی و کاهش منبع تغذیه و در عین حال دست یافتن به دقت ۱۸ بیت واقعی برای مدولاتورهای سیگما- دلتا صوتی به عنوان یک پروژه توصیه می‌شود.

تشکر و قدردانی

این پژوهش با استفاده از اعتبارات شورای پژوهشی دانشگاه تهران انجام گردیده است.

مراجع

1 - Fujimori, I. (2000). "A single-chip stereo audio delta-sigma A/D converter with 117 dB dynamic range." *IEICE Trans. Fundamentals,* Vol. E83, No. 2, PP. 243-251.

2 - Fujimori, I., Koyama, K., Trager, D., Tam, F. and Longo, L. (1997). "A 5-V single-chip delta-sigma audio A/D converter with 111 dB dynamic range." *IEEE J. Solid-State Cicuits,* Vol. 32, No. 3, PP. 329-336.

3 - Leung, K. Y., Swanson, E. J., Leung, K. and Zhu, S. S. (1997). "A 5-V, 118dB delta-sigma analog-to-digital converter for wideband digital audio." *In ISSCC Dig. Tech. Papers,* PP. 218-219.

4 - Williams, L. A. and Wooley, B. A. (1994). "A third-order sigma-delta modulator with extended dynamic range." *IEEE J. Solid-State Circuits,* Vol. 29, No. 3, PP.193-202.

5 - Fogleman, F., Welz, J. and Galton, I. (2001). "An audio ADC delta-sigma modulator with 100-dB peak SINAD and 102-dB DR using a second-order mismatch-saping DAC." *IEEE J. Solid-State Circuits,* Vol. 36, No. 3, PP. 339-348.

6 - Rabii, Sh. and Wooley, B. A. (1997). "A 1.8-V digital-audio sigma-delta modulator in 0.8-μm CMOS." *IEEE J. Solid-State Circuits,* Vol. 32, No. 6.

7 - Sarhang-Nejad, M. and Temes, G. C. (1993). "A high-resolution multibit sigma-delta ADC with relaxed amplifier requirements." *IEEE J. Solid-State Circuits,* Vol. 28, No. 6, PP. 648-660.

8 - Dessouky, M. and Kaiser, A. (2001). "Very low-voltage digital-audio delta-sigma modulator with 88-dB dynamic range using local switch bootstrapping." *IEEE J. Solid-State Circuits,* Vol. 36, No. 3, PP. 349-355.

9 - Ferguson, P., Ganesan, J. A., Adams, R., Vincelette, S., Libert, R. and Vlope, A. (1991). "An 18-b 20 KHz dual sigma-delta A/D converter." *In ISSCC Dig. Tech. Papers,* PP. 68-69.

10 - Zwan, E. J. (1997). "A 2.3mW CMOS sigma-delta modulator for audio applications." I*n ISSCC Dig. Tech. Papers,* PP. 220-221.

11 - Marques, A., Peluso, V., Steyaert, M. S. and Sansen, W. M. (1998). "Optimal parameters for delta-sigma modulator topologies." *IEEE Trans. Circuits Syst. II,* Vol. 45, No. 9, PP. 1232-1241.

12 - Fujimori, I. et al. (2000). "A 90-dB SNR 2.5-MHz output rate ADC using cascaded multibit delta-sigma modulation at 8× oversampling ratio." *IEEE J. Solid-State Circuits,* Vol. 35, No. 12, PP. 1820-1828.

13 - Geerts, Y., Steyaert, M. S. and Sansen, W. M. (2000). "A high-performance multibit delta-sigma CMOS ADC." *IEEE J. Solid-State Circuits,* Vol. 35, No. 12, PP. 1829-1840.

۱۴ - یاوری، م. "طراحی و شبیه‌سازی مبدل‌های آنالوگ به دیجیتال سیگما- دلتای صوتی با دقت بالا." پایان‌نامه کارشناسی ارشد، گروه برق و کامپیوتر، دانشکده فنی، دانشگاه تهران (۱۳۸۰).

15 - Geerts, Y., Marques, A., Steyaert, M. S. and Sansen, W. M. (1999). "A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications." *IEEE J. Solid-State Circuits,* Vol. 34, No. 7, PP. 927-936.

16 - Brigati, S. et al. (1999). "Modeling sigma-delta modulator non-idealities in SIMULINK." I*n Proc. IEEE Int. Symp. Circuits and Systems,* PP. 384-387.

17 - Bult, K. and Geelen, G. (1990). "A fast-settling CMOS Op Amp for SC circuits with 90-dB DC gain." *IEEE J. Solid-State Circuits,* Vol. 25, No.6, PP. 1379-1384.

18 - Lioyd, J. and Lee, H. S. (1994). "A CMOS OpAmp with fully-differential gain-enhancement." *IEEE Trans. Circuits and Systs II,* Vol. 41, No. 3, PP. 241-243.

19 - Gulati, K. and Lee, H. S. (1998). "A high-swing CMOS telescopic operational amplifer." *IEEE J. Solid-State Circuits,* Vol. 33, No. 12, PP. 2010-2019.

20 - Palmisano, G. et al. (2000). "CMOS output stages for low-voltage power supplies." *IEEE Trans. Circuits Systs II,* Vol. 47, No. 2, PP. 96-104.

21 - Ahuja, B. (1983). "An improved frequency compensation technique for CMOS operational amplifiers." *IEEE J. Solid-State Circuits,* Vol. 18.

22 - Boser, E. and Wooley, B. A. (1988). "The design of sigma-delta modulation analog-to-digital converters." *IEEE J. Solid-State Circuits,* Vol. 23, No. 6, PP. 1298-1308.

واژه های انگلیسی به ترتیب استفاده در متن

1 - Cascade
2 - Overload
3 - Dynamic Range
4 – Device
5 - Oversampling
6 - Single Loop
7 - Multi Loop
8 - Full-Scale
9 - Flicker noise
10 - Slew rate
11 - Operational amplifier
12 - Cascode
13 - Gain boosting
14 – Telescopic
15 - Folded-cascode
16 - Settling
17 - Common-mode feedback
18 - Fully differential
19 - Comparator
20 - Clock