

منطق دینامیکی هدایت شده با دیتا

رامین رفعتی

فارغ التحصیل کارشناسی ارشد معماری کامپیوتر - پردیس دانشکده های فنی - دانشگاه تهران

سید مهدی فخرایی

دانشیار دانشکده مهندسی برق و کامپیوتر - پردیس دانشکده های فنی - دانشگاه تهران

(تاریخ دریافت ۸۳/۲/۲۶، تاریخ تصویب ۸۴/۶/۲۶)

چکیده

در این مقاله مروری کوتاه بر منطق دینامیکی، مزایا و کاستی های آن خواهیم داشت. پس از آن منطق دینامیکی هدایت شده با دیتا یا D^3L معرفی می شود که مشکل مصرف توان منطق دینامیکی مرسوم را به طرز قابل ملاحظه ای کاهش می دهد. از نظر سطح مصرفی تراشه و سرعت نیز D^3L بهبودهایی در مدار ایجاد می کند که با ارائه چندین مثال و شبیه سازی این نتایج تایید می شود. در ادامه نحوه پیاده سازی توابع مختلف در منطق دینامیکی و نحوه تبدیل آنها به D^3L شرح داده شده است. به منظور تایید عملی نتایج شبیه سازی، در یک تکنولوژی CMOS 5V, 0.6 μ m دو مدار شیفتر دهنده یکپارچه یکی در منطق دومینو و دیگری در D^3L طراحی و پیاده سازی شده اند. نتایج شبیه سازی و تست عملی تراشه با هم تطابق داشته و نشان می دهند که شیفتر دهنده D^3L ۸٪ تا ۶۲٪ توان کمتر و ۹٪ مساحت کمتری از مشابه دومینو مصرف می کند. این در حالی است که D^3L ۲۹٪ نیز سرعت را بهبود می بخشد.

واژه های کلیدی: طراحی VLSI، مدارهای دینامیکی، منطق D^3L ، منطق دومینو، منطق NP-CMOS.

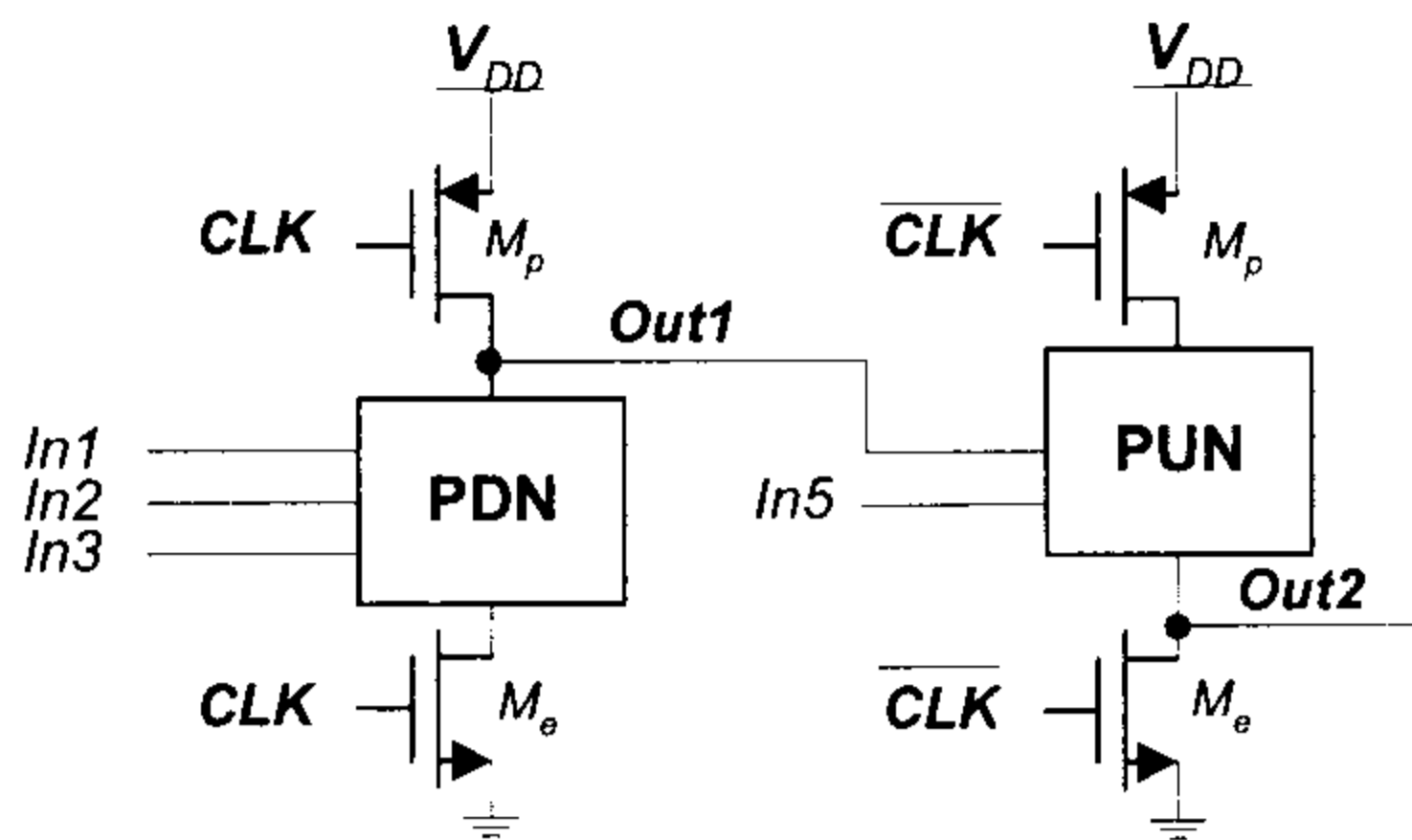
ساخت تراشه

مقدمه

می شود در حالیکه تنها یک سوئیچ ساده جایگزین شبکه دیگر می شود. این سوئیچ که توسط سیگنال مرکزی کلاک کنترل می شود عملکرد تابع را به دو فاز پیش شارژ و ارزیابی تقسیم می کند. در فاز پیش شارژ گره خروجی به یک مقدار ثابت (مثلاً یک) شارژ می شود و در فاز ارزیابی بسته به مقدار ورودی ها گره خروجی می تواند شارژ خود را نگه داشته و یا از دست بدهد.

مزیت بارز منطق دینامیکی کاهش سطح سیلیکون مصرفی است. در حالیکه برای پیاده سازی یک تابع مفروض در منطق استاتیکی 2N ترانزیستور مورد نیاز است، منطق دینامیکی تنها با N+2 ترانزیستور تابع را پیاده سازی می کند. این امر باعث کاهش خازن مصرفی و بالطبع افزایش سرعت مدار خواهد شد. خازن کوچکتر توان کمتری برای سوئیچینگ نیاز دارد و بنابراین انتظار داریم که مدارهای دینامیکی در شرایط یکسان توان کمتری مصرف کنند. اما افزایش سرعت این مدارها ممکن است به مصرف توان بیشتر منجر گردد.

منطق CMOS استاتیک پس از خانواده NMOS معرفی شد تا مشکل مصرف توان استاتیکی مدارهای این خانواده را مرتفع کند. مصرف توان کم CMOS مجتمع سازی انبوه در یک تراشه را ممکن ساخت و هم اکنون نیز روش غالب برای پیاده سازی مدارهای VLSI می باشد. اما باید به این نکته توجه داشت که مصرف توان تنها یکی از پارامترهای طراحی می باشد و عوامل دیگری نظیر سرعت و مساحت مدار را نیز باید مد نظر داشت. در منطق CMOS هر تابع دو بار پیاده سازی می شود: یکبار در شبکه پائین آورنده^۱ با استفاده از ترانزیستورهای نوع N، و بار دیگر در شبکه بالابرنده^۲ و با ترانزیستورهای نوع P. این تکرار باعث افزایش سطح مصرفی تراشه هم چنین افزایش خازن موجود در گره ها و به دنبال آن کاهش سرعت مدار می شود. به منظور افزایش سرعت مدار و بدون مصرف استاتیکی موجود در شبه NMOS، منطق دینامیکی [۱] معرفی شد. در منطق دینامیکی تابع مورد نظر فقط در یکی از دو شبکه بالابرنده و یا پائین آورنده پیاده سازی



شکل ۲: ترکیب متوالی گیت ها در منطق NP-CMOS.

در مقایسه با منطق استاتیک، خازن ورودی گیت‌های دینامیکی بیش از ۵۰٪ کمتر می‌شود اما به دلیل وجود ترانزیستور انتهایی که با شبکه اصلی سری می‌شود سرعت دو برابر نخواهد شد. علاوه بر این بار بیش از حد کلاک که علاوه بر رجیسترها باید گیت‌های دینامیکی را نیز تغذیه کند و مسأله مسیردهی کلاک فواید منطق دینامیکی را کم‌رنگ می‌کند. این امر بخصوص در مدارهای فرکانس بالا باعث مصرف توان فوق العاده ای می‌شود. بعنوان مثال در پردازشگر آلفا ۲۲۱۶۴ که به طرز گسترده ای از منطق دینامیکی سود می‌برد شبکه توزیع کلاک ۲۰ وات توان مصرف می‌کند که این خود ۴۰٪ کل توان مصرفی پردازشگر است [۴].

به منظور یافتن راه حلی برای مسأله مصرف توان بیش از حد کلاک، در بخش بعد منطق دینامیکی هدایت شده با دیتا یا D^3L را معرفی می‌کنیم که در آن با حذف ترانزیستور کلاک، بار کلاک به طرز قابل توجهی کاهش می‌یابد، مضاف بر اینکه توابع معکوس کننده نیز به راحتی قابل پیاده سازی خواهند بود.

منطق دینامیکی هدایت شده با دیتا

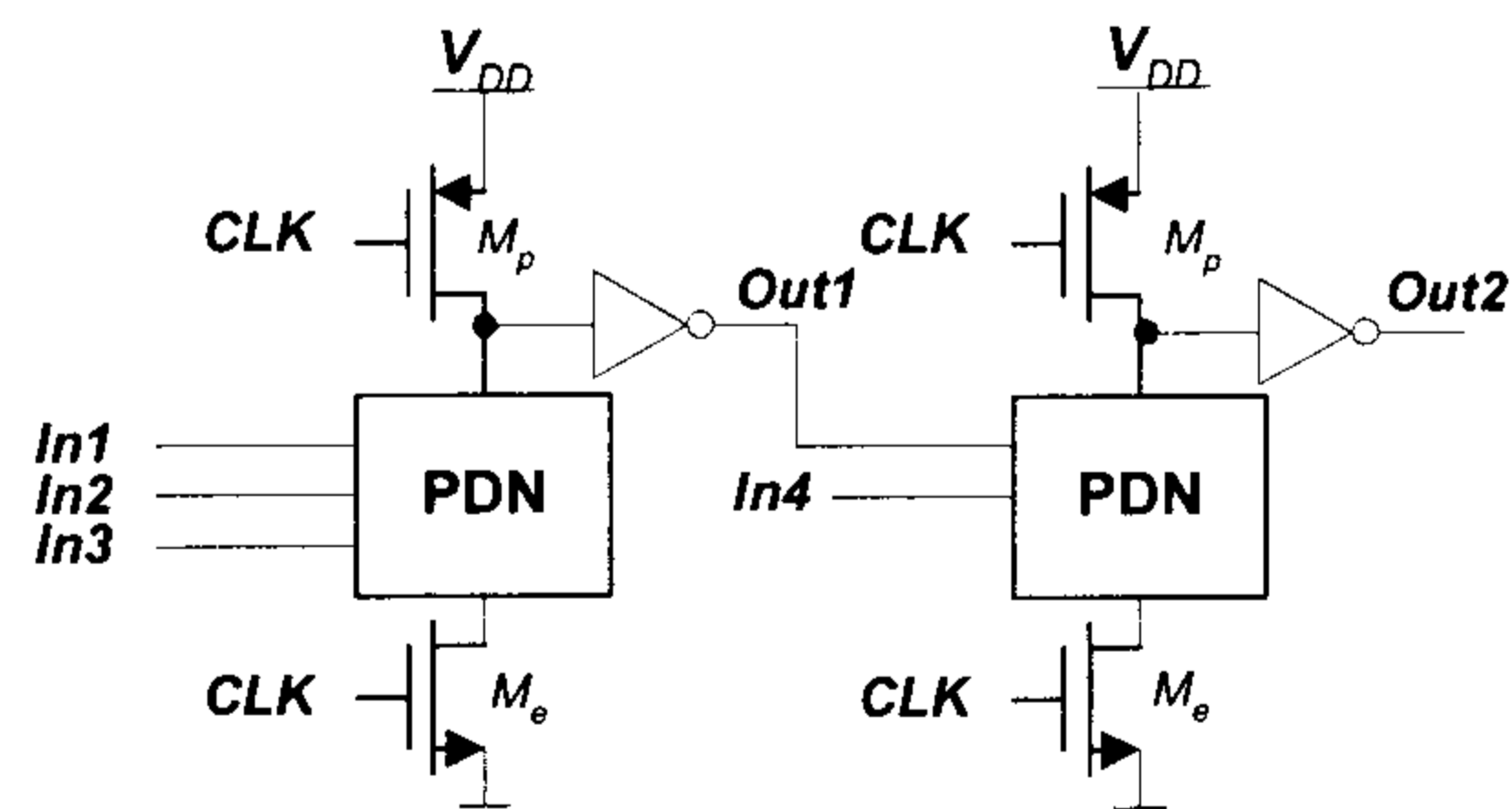
عملکرد صحیح گیت‌های دینامیکی نیازمند رعایت محدودیتهایی بر مقدار ورودی‌ها در فاز پیش شارژ است. مثلاً در منطق دومینو کلیه ورودیها در فاز پیش شارژ باید مقدار صفر داشته باشند. این شرط برای ورودیهای بلوک N در منطق NP-CMOS نیز صادق است در حالیکه ورودیهای بلوک P در فاز پیش شارژ باید مقدار یک را دارا باشند. اگر ما از محدودیت اعمال شده بر ورودی‌ها استفاده کنیم و گیت را با ترکیبی از دیتای ورودی پیش شارژ کنیم در آن صورت دیگر نیازی به سیگنال کلاک برای طبقات میانی نخواهیم داشت. بعنوان مثال یک گیت AND دو ورودی را در شکل (۳) ملاحظه کنید.

منطق دینامیکی دومینو و NP-CMOS

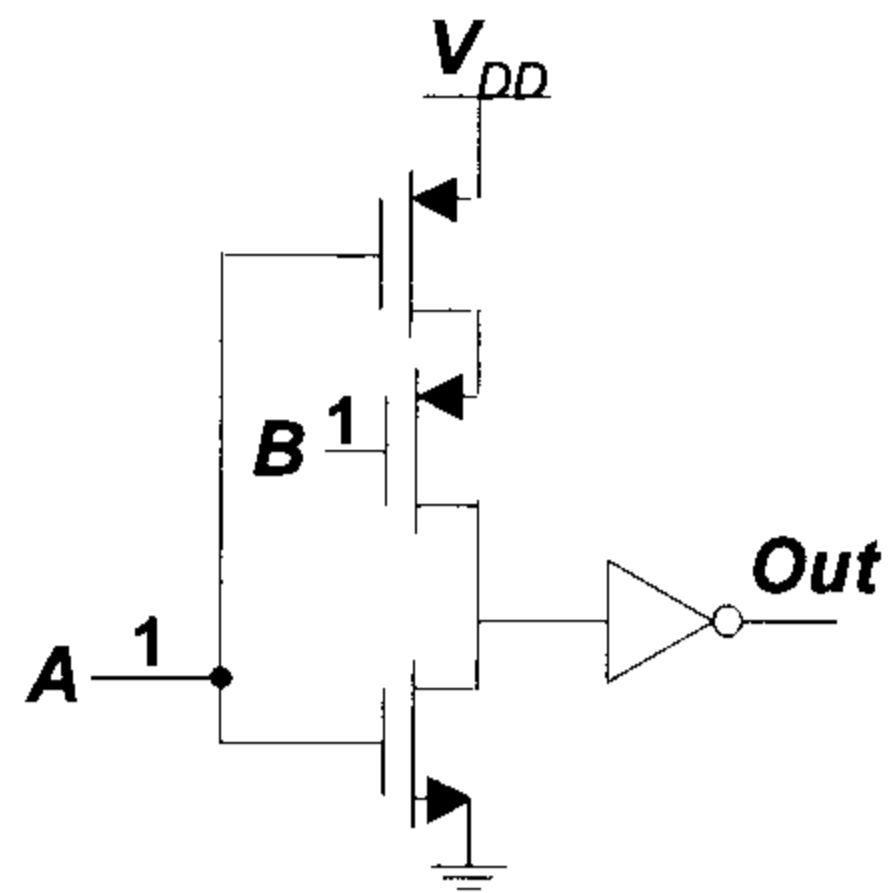
مشکل عمده منطق دینامیکی معرفی شده در بخش قبل ترکیب متوالی^۳ گیت‌های دینامیکی است [۱]. اینگونه گیتها را همانند گیت‌های استاتیک در هر ترکیب دلخواه نمی‌توان به هم وصل نمود. برای رفع این مشکل روشهای متعددی معرفی شده است که از آن میان منطق دومینو و NP-CMOS شهرت بیشتری دارند.

در منطق دومینو [۲] یک معکوس کننده به دنبال هر بلوک ساخته شده با ترانزیستورهای N قرار داده می‌شود (شکل ۱). این امر سبب می‌شود که در فاز پیش شارژ تمامی ورودیهای طبقه بعد به صفر مقداردهی شوند. به این ترتیب زنجیره ای از گیت‌های دومینو می‌توانند پشت سر هم قرار داده شوند بدون اینکه شارژ موجود در گره‌های دینامیکی به طرز اشتباه تخلیه شود. حضور معکوس کننده در خروجی باعث افزایش قدرت جریان دهی گیت می‌شود اما این محدودیت را نیز به دنبال دارد که فقط توابع غیر معکوس کننده قابل پیاده سازی هستند.

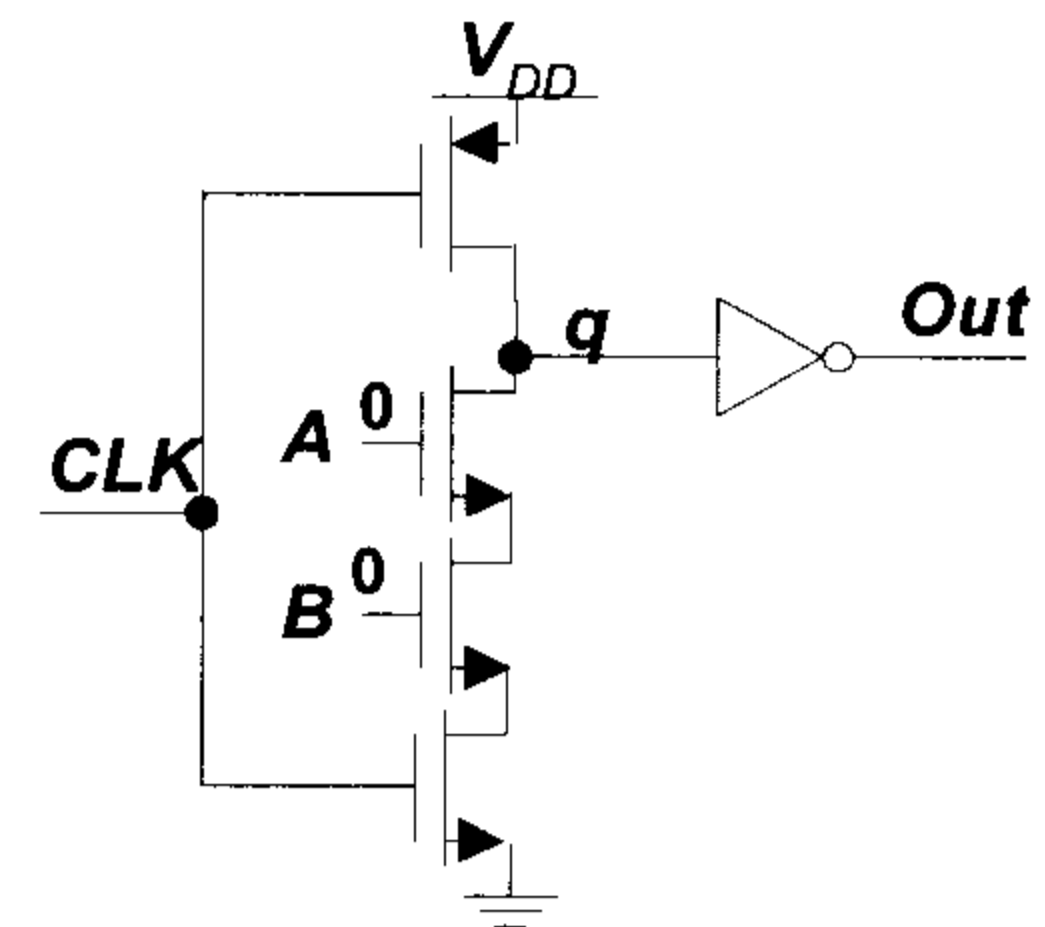
برای رفع مشکل غیر معکوس کنندگی منطق دومینو، منطق NP-CMOS معرفی شد [۳]. در این منطق گره پیش شارژ شده به مقدار یک، مستقیماً به طبقه بعدی که با ترانزیستورهای P ساخته شده است وصل می‌شود که این طبقه توسط سیگنال $CLKB$ به صفر مقداردهی می‌شود (شکل ۲). به این ترتیب زنجیره ای از بلوک‌های N و P به دنبال یکدیگر می‌توانند قرار بگیرند. به علت حذف معکوس کننده، NP-CMOS در حدود ۲۰٪ سریعتر از دومینو می‌باشد [۱] اما وجود طبقات PMOS باعث افزایش خازن گره‌ها و مساحت کلی خواهد شد. به علاوه مسأله تولید $CLKB$ و مسیردهی آن را نیز باید مد نظر داشت.



شکل ۱: ترکیب متوالی گیت‌ها در منطق دومینو.

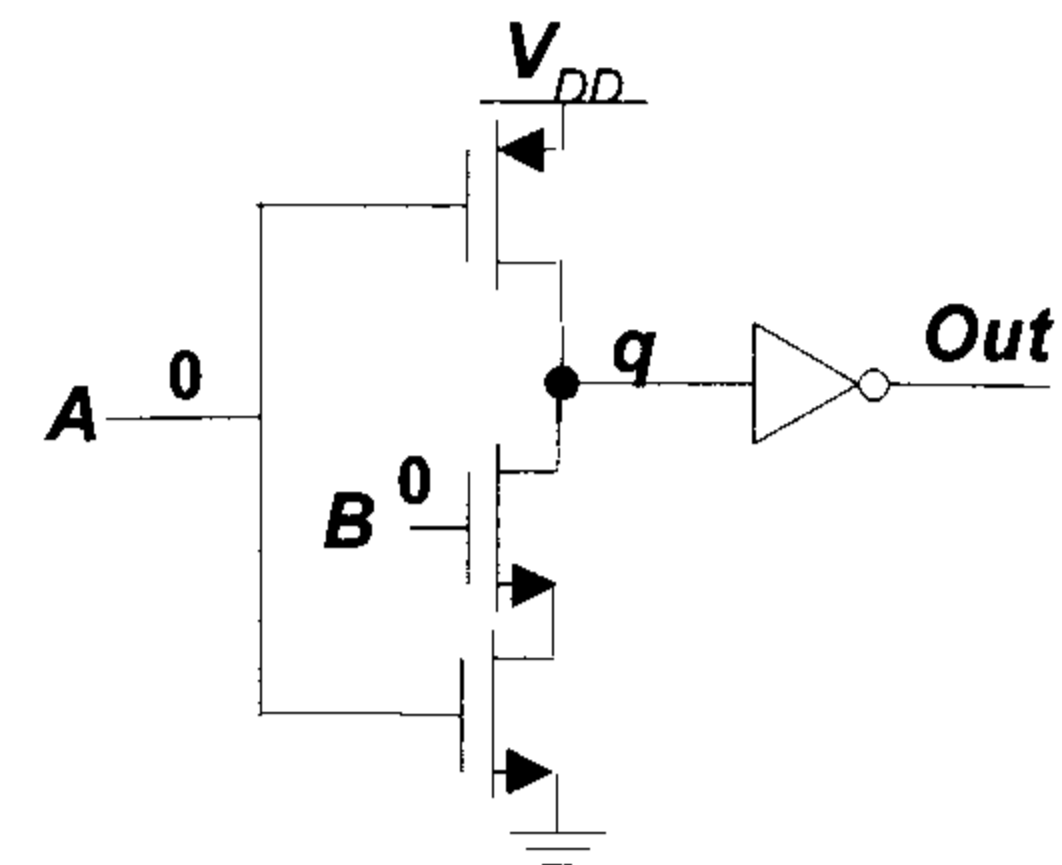


شکل ۵: گیت OR در منطق D³L.

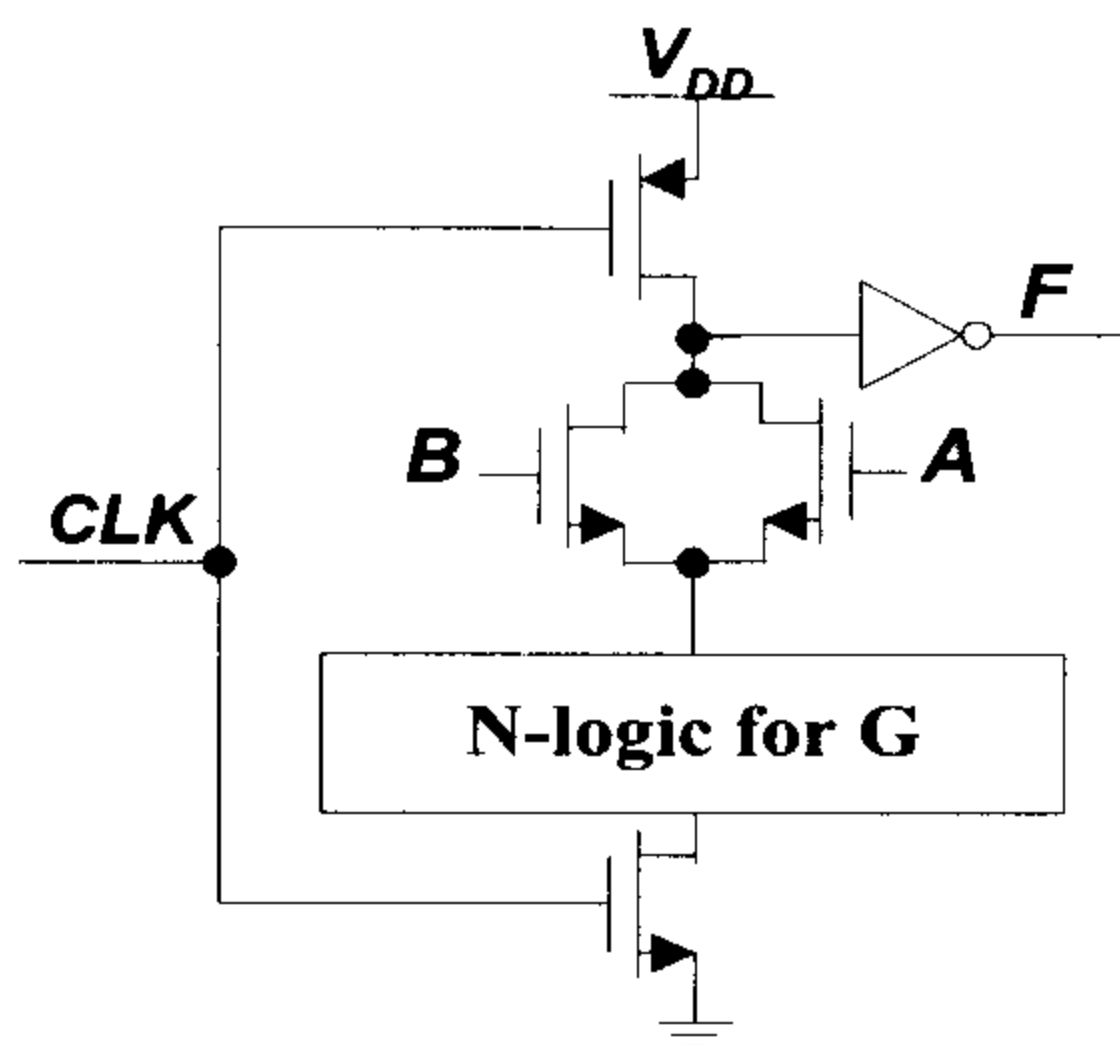
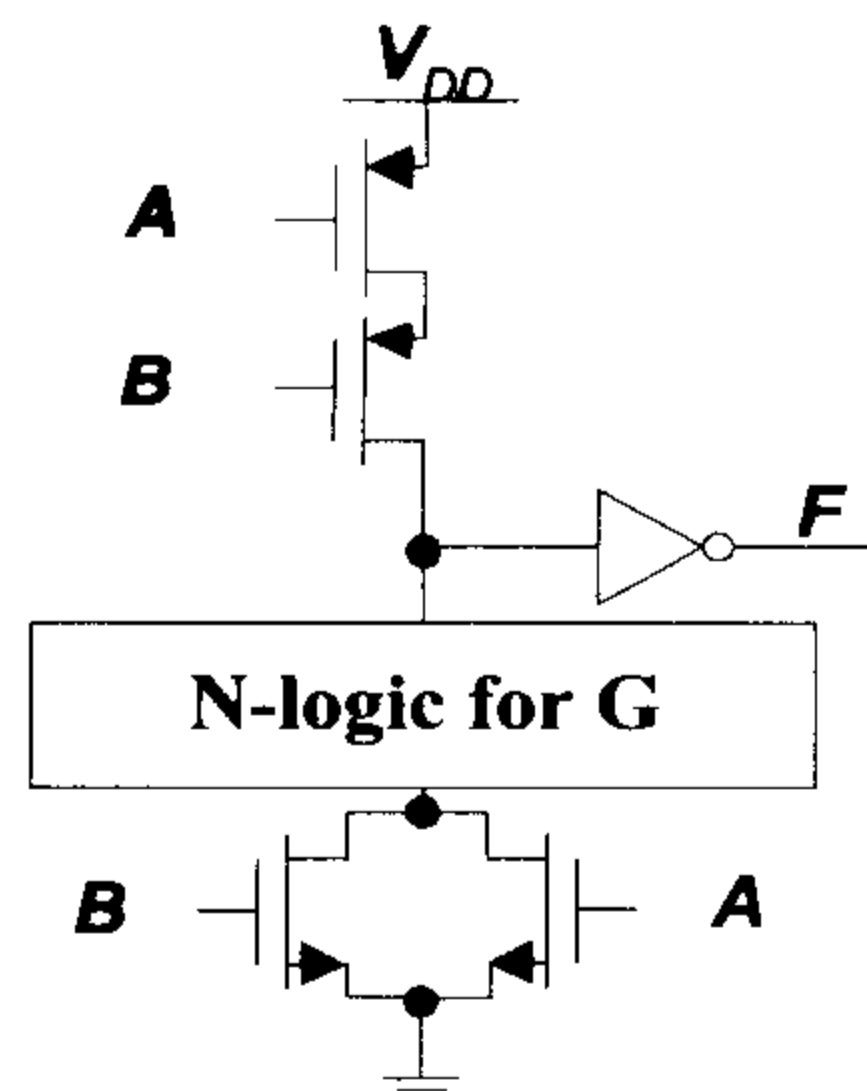


شکل ۳: گیت AND در منطق دومینو.

در صورتیکه تمامی ورودیها در فاز پیش شارژ مقدار یک داشته باشند عمل جایگزینی در شبکه PMOS (شبه بلوک های درایو شده با CLKB در NP-CMOS) انجام می شود. بهترین وضعیت زمانی اتفاق می افتد که یکی از S_i ها تنها یک عبارت داشته باشد. بدین ترتیب تنها یک ترانزیستور جایگزین کلاک خواهد شد.



شکل ۴: گیت AND در منطق D³L.

شکل ۶: پیاده سازی دومینو تابع $F=(A+B).G$.شکل ۷: پیاده سازی D³L تابع $F=(A+B).G$.

پیاده سازی توابع معکوس کننده در D⁴L

دسته معینی از توابع نظیر XOR به یک ورودی و مکمل آن همزمان نیاز دارند که در منطق دومینو و NP-CMOS معمولی امکان پیاده سازی آنها وجود ندارد. روش دو ریلی^۶ یک راه حل برای پیاده سازی اینگونه توابع که کاربرد زیادی در مدارهای محاسباتی نظیر ضرب

شرط منطق دومینو ایجاب می کند که هر دو ورودی A و B در فاز پیش شارژ مقدار صفر داشته باشند. وجود این شرط ما را قادر می سازد که سیگنال کلاک را همانطور که در شکل (۴) نشان داده شده است حذف کنیم. در فاز پیش شارژ وقتی که ورودی A (از طریق طبقه قبل) صفر می شود گره q به یک پیش شارژ خواهد شد و وقتی در فاز ارزیابی سیگنال A به طرز مشروط از صفر به یک تغییر کرد گره q هم به صورت مشروط صفر می شود. به نحو مشابه و با استفاده از بلوک های P یک گیت OR نیز می تواند به D³L تبدیل شود (شکل ۵). مدار حاصله همانند بلوک P در NP-CMOS عمل خواهد کرد بدون اینکه به CLKB نیازی باشد.

پیاده سازی توابع متنوع در D³L

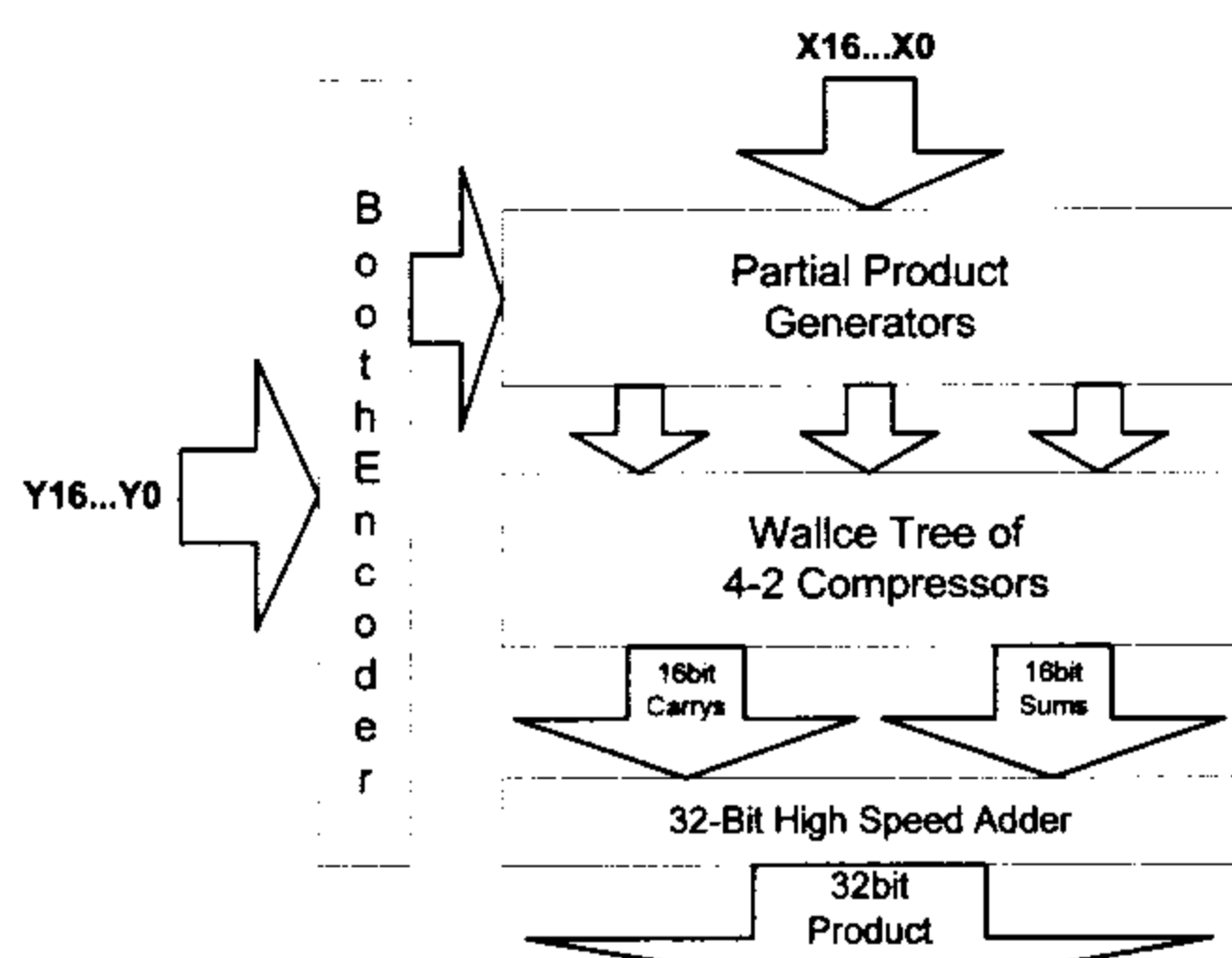
به طور کلی اگر تابعی به فرم ضرب حاصل جمع ها

$$F = \prod_{i=1}^n S_i$$

در دسترس باشد، کوچکترین حاصلجمع

میانی S_k که در آن تمامی ورودی ها مقدار صفر را دارند (شرط دومینو) را برای جایگزینی کلاک انتخاب می کنیم. این انتخاب باعث می شود که کوچکترین ترکیب سری ترانزیستورها در شبکه PMOS حاصل آید. مثال هایی از این جایگزینی در شکل های (۶) و (۷) آورده شده است.

کننده و جمع کننده دارند، می باشد. در منطق دو ریلی هر تابع دو بار پیاده سازی می شود: یک بار با در نظر گرفتن یک ها و بار دیگر با در نظر گرفتن صفرهای جدول صحت، به نحویکه تابع هر ریل، غیر معکوس کننده ساخته خواهد شد. این امر پیاده سازی دینامیک تابع را میسر می کند. بعنوان مثال پیاده سازی دومینو یک گیت XOR دو ریلی در شکل (۸) نشان داده شده است. در فاز پیش شارژ وقتی که کلاک صفر است هر دو خروجی (X.H, X.L) صفر می شوند در حالیکه ورودیها نیز از طریق گیت های قبلی صفر شده اند. در فاز ارزیابی بسته به مقدار ورودیهای یکی از خروجیهای (X.H, X.L) به یک تغییر مقدار می دهند. بکارگیری منطق D^3L در روش دو ریلی باعث حذف کلاک از گیت های دینامیکی خواهد شد. این شیوه که به اختصار D^4L نامیده می شود در مورد گیت XOR دو ریلی شکل (۸) بکار گرفته شده، مدار شکل (۹) بدست آمده است. در این شکل ورودیهای (B.H, B.L) برای پیش شارژ مدار و جایگزینی سیگنال کلاک انتخاب شده اند. وقتی که موج پیش شارژ به ورودیهای گیت XOR برسد خروجیهای (X.L, X.H) صفر می شوند، گیت پیش شارژ شده و با یک شدن یکی از آنها فاز ارزیابی آغاز خواهد شد.



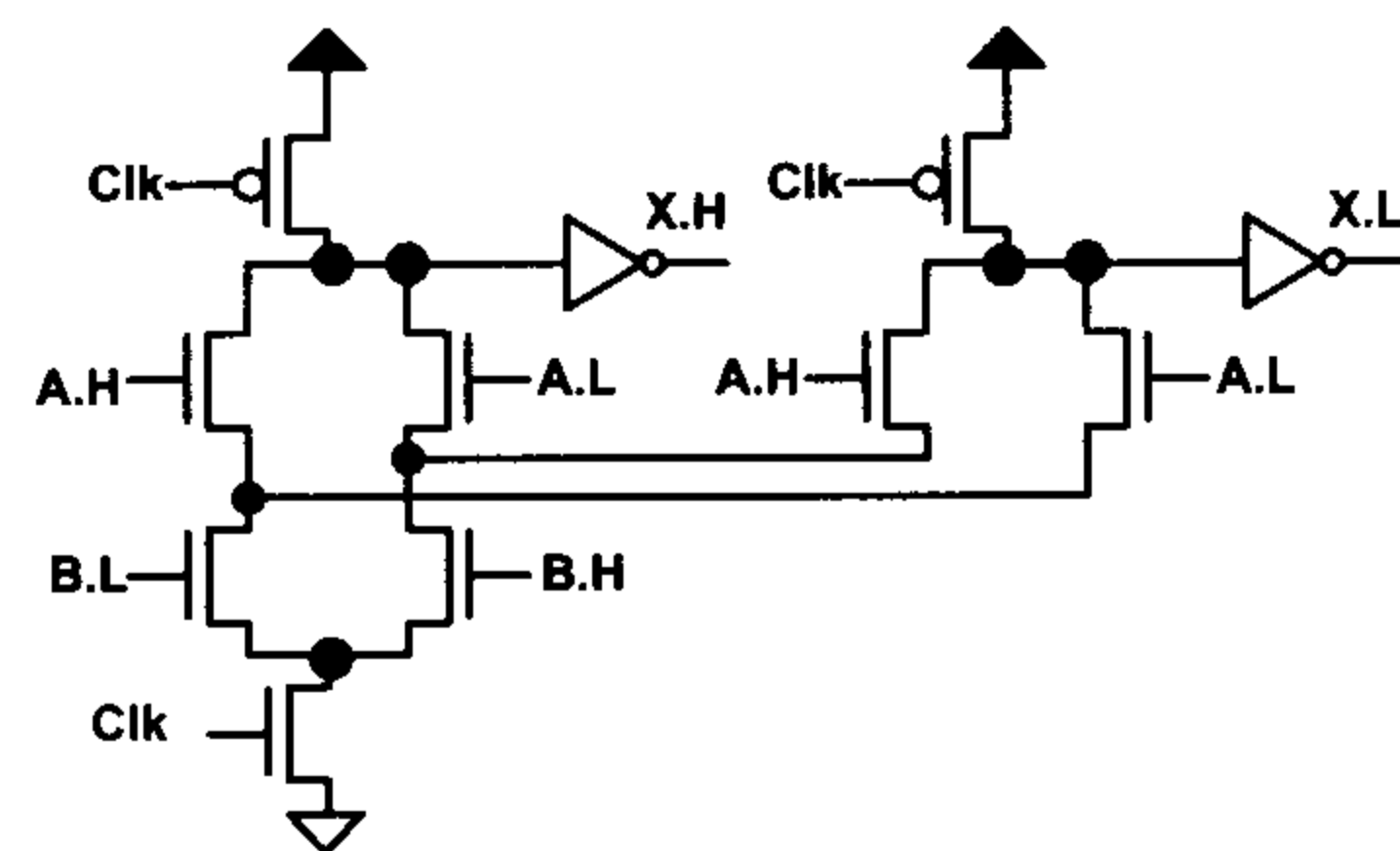
شکل ۱۰: ساختار ضرب کننده.

طراحی و پیاده سازی شیفت دهنده یکپارچه^۸

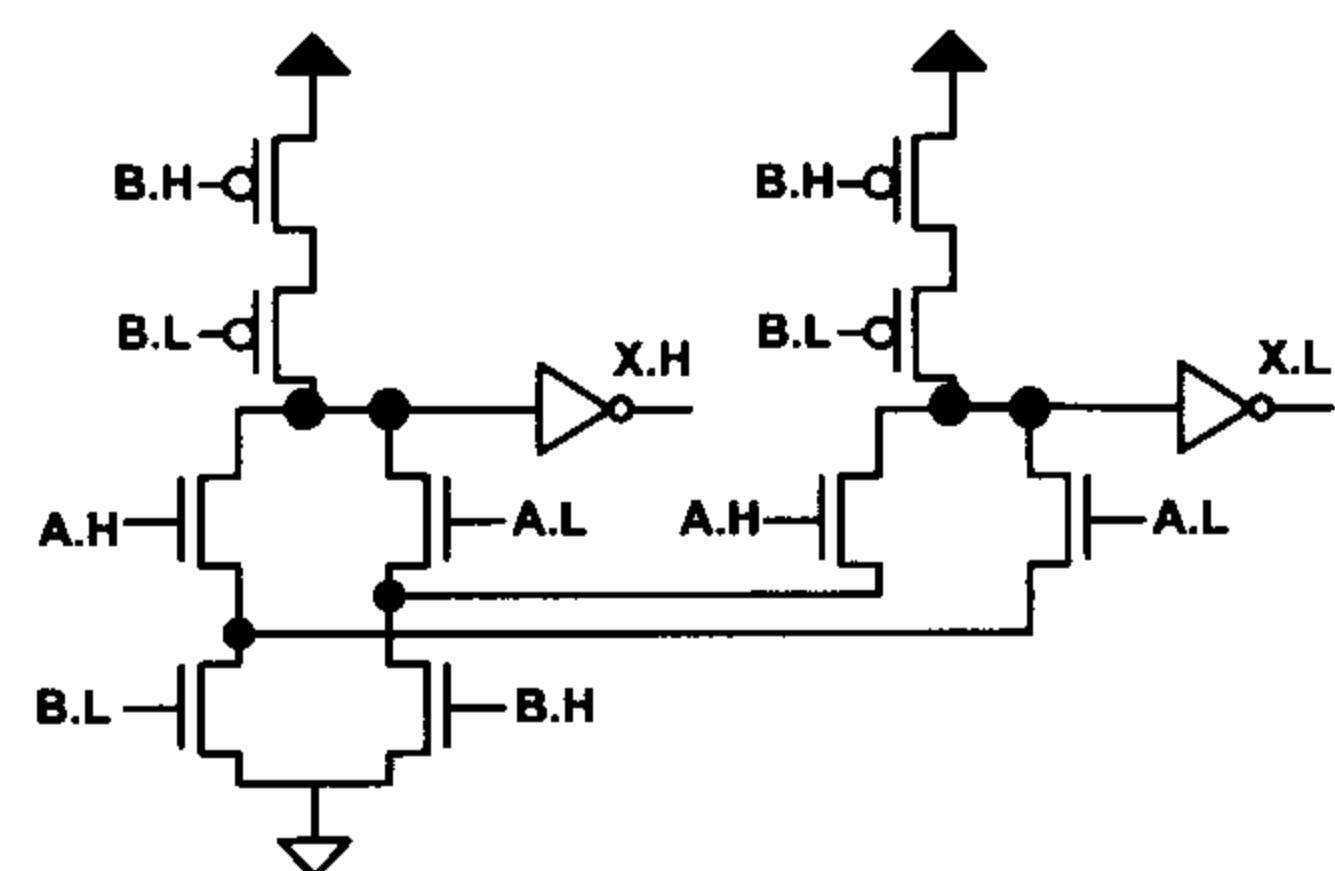
در D^3L و دومینو و مقایسه عملکرد آنها

برای نمایش مزایای D^3L در مقایسه با روش های متداول دیگر، یک مدار شیفت دهنده را به عنوان بلوک تست انتخاب نموده، به روش های مختلف آنرا پیاده سازی کرده ایم. مدار شیفت دهنده یکپارچه دارای ساختار کاملاً ترکیبی است و قادر است که ۱۶ بیت ورودی را از صفر تا ۱۵ بیت به راست یا چپ شیفت یا چرخش^۹ دهد. عملیات شیفت با ۶ بیت کنترل می شود: ۴ بیت برای طول، ۱ بیت برای تعیین جهت (چپ یا

کننده و جمع کننده دارند، می باشد. در منطق دو ریلی هر تابع دو بار پیاده سازی می شود: یک بار با در نظر گرفتن یک ها و بار دیگر با در نظر گرفتن صفرهای جدول صحت، به نحویکه تابع هر ریل، غیر معکوس کننده ساخته خواهد شد. این امر پیاده سازی دینامیک تابع را میسر می کند. بعنوان مثال پیاده سازی دومینو یک گیت XOR دو ریلی در شکل (۸) نشان داده شده است. در فاز پیش شارژ وقتی که کلاک صفر است هر دو خروجی (X.H, X.L) صفر می شوند در حالیکه ورودیها نیز از طریق گیت های قبلی صفر شده اند. در فاز ارزیابی بسته به مقدار ورودیهای یکی از خروجیهای (X.H, X.L) به یک تغییر مقدار می دهند. بکارگیری منطق D^3L در روش دو ریلی باعث حذف کلاک از گیت های دینامیکی خواهد شد. این شیوه که به اختصار D^4L نامیده می شود در مورد گیت XOR دو ریلی شکل (۸) بکار گرفته شده، مدار شکل (۹) بدست آمده است. در این شکل ورودیهای (B.H, B.L) برای پیش شارژ مدار و جایگزینی سیگنال کلاک انتخاب شده اند. وقتی که موج پیش شارژ به ورودیهای گیت XOR برسد خروجیهای (X.L, X.H) صفر می شوند، گیت پیش شارژ شده و با یک شدن یکی از آنها فاز ارزیابی آغاز خواهد شد.



شکل ۸: پیاده سازی دوریلی دومینو گیت XOR دو ورودی.



شکل ۹: پیاده سازی D^4L گیت XOR دو ورودی.

طراحی ضرب کننده در دومینو و D^4L

بکارگیری روش دو ریلی ما را قادر می سازد که توابع

ردیف برای شیفت یا چرخش دیتا به سمت راست استفاده می شود. چهار ردیف بعدی برای شیفت یا چرخش دیتا به سمت چپ به مقدار صفر تا ۱۵ بیت بکار می روند، به این ترتیب که اولین ردیف ۰ یا ۱ پله، دومین ۰ یا ۲ پله، سومین ۰ یا ۴ پله و چهارمین ۰ یا ۸ پله دیتا را شیفت می دهند.

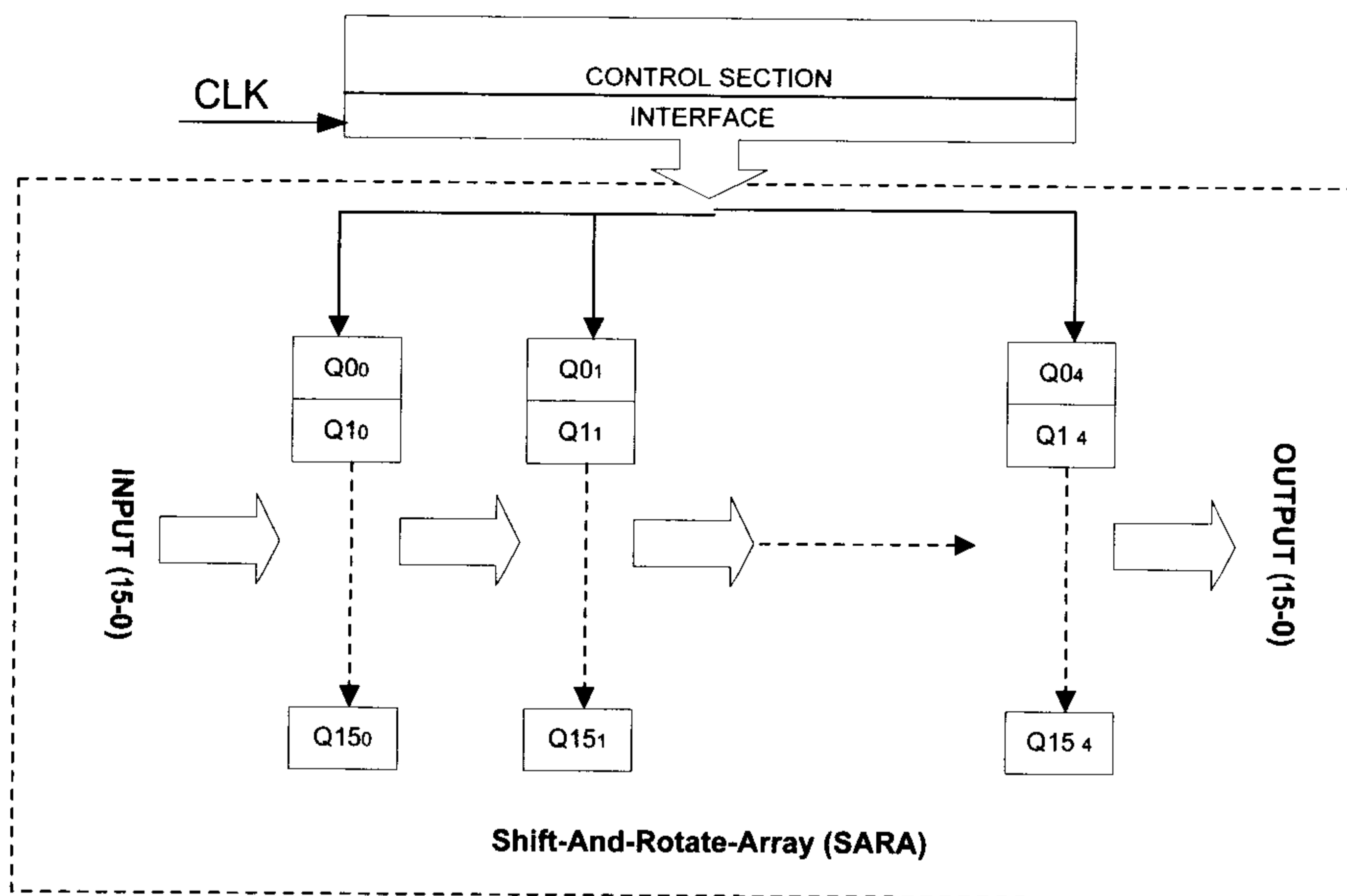
پیاده سازی دومینو آرایه شیفت دهنده

از آنجا که آرایه شیفت دهنده غیر معکوس کننده است، منطق دومینو می تواند مستقیماً مورد استفاده قرار گیرد. ورودیهای هر گیت دومینو در فاز پیش شارژ باید به صفر مقداردهی شوند. این بدان معنی است که تمامی چهار ورودی گیت های شبه ماکس می بایست صفر شوند. برای سیگنال های کنترلی Ci_1 و Ci_2 اینکار توسط کلاک همانگونه که در شکل (۱۲) نشان داده شده است، انجام می پذیرد. مدار نشان داده شده در این شکل ورودیها

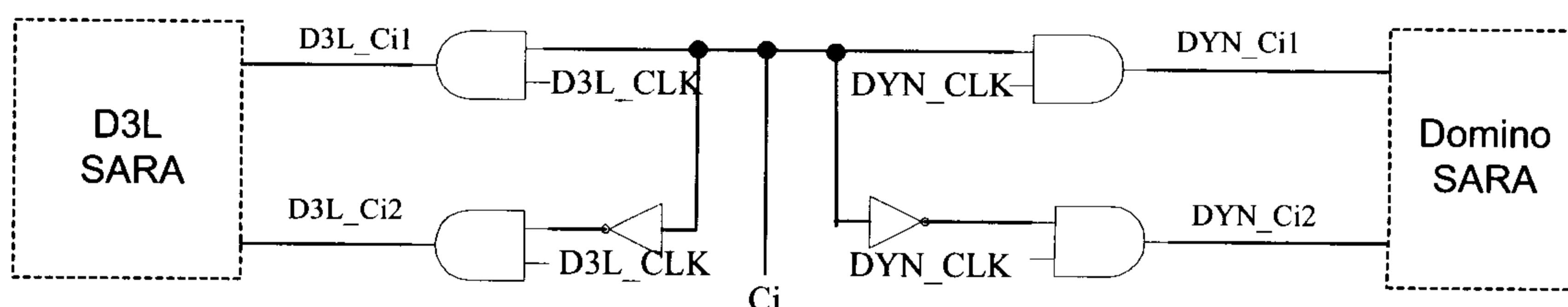
راست) و یک بیت برای نوع عمل (شیفت یا چرخش). آرایه شیفت دهنده و بلوک کنترل دو بخش اصلی مدار هستند که اولی مسئول شیفت دادن و دومی مسئول فراهم کردن سیگنال های کنترلی می باشد [۶]. از آنجا که آرایه شیفت دهنده قسمت اعظم حجم مدار را تشکیل می دهد و واحد کنترل تنها قسمت کوچکی را شامل می شود، تنها آرایه شیفت دهنده به صورت دینامیکی و D^3L طراحی شده است در حالیکه واحد کنترل کاملاً استاتیکی است.

آرایه شیفت دهنده

این بلوک در پنج ردیف و در هر ردیف ۱۶ سلول پیاده سازی شده است (شکل ۱۱). سلول پایه موجود در آرایه یک گیت AO22 بنام شبه ماکس ($qmux$) می باشد که تابع $F=Ci_1.In_1+Ci_2.In_2$ را تحقق می بخشد. Ci_1 و Ci_2 از واحد کنترل و In_1 و In_2 از خروجیهای شبه ماکس طبقات قبلی می آیند. اولین

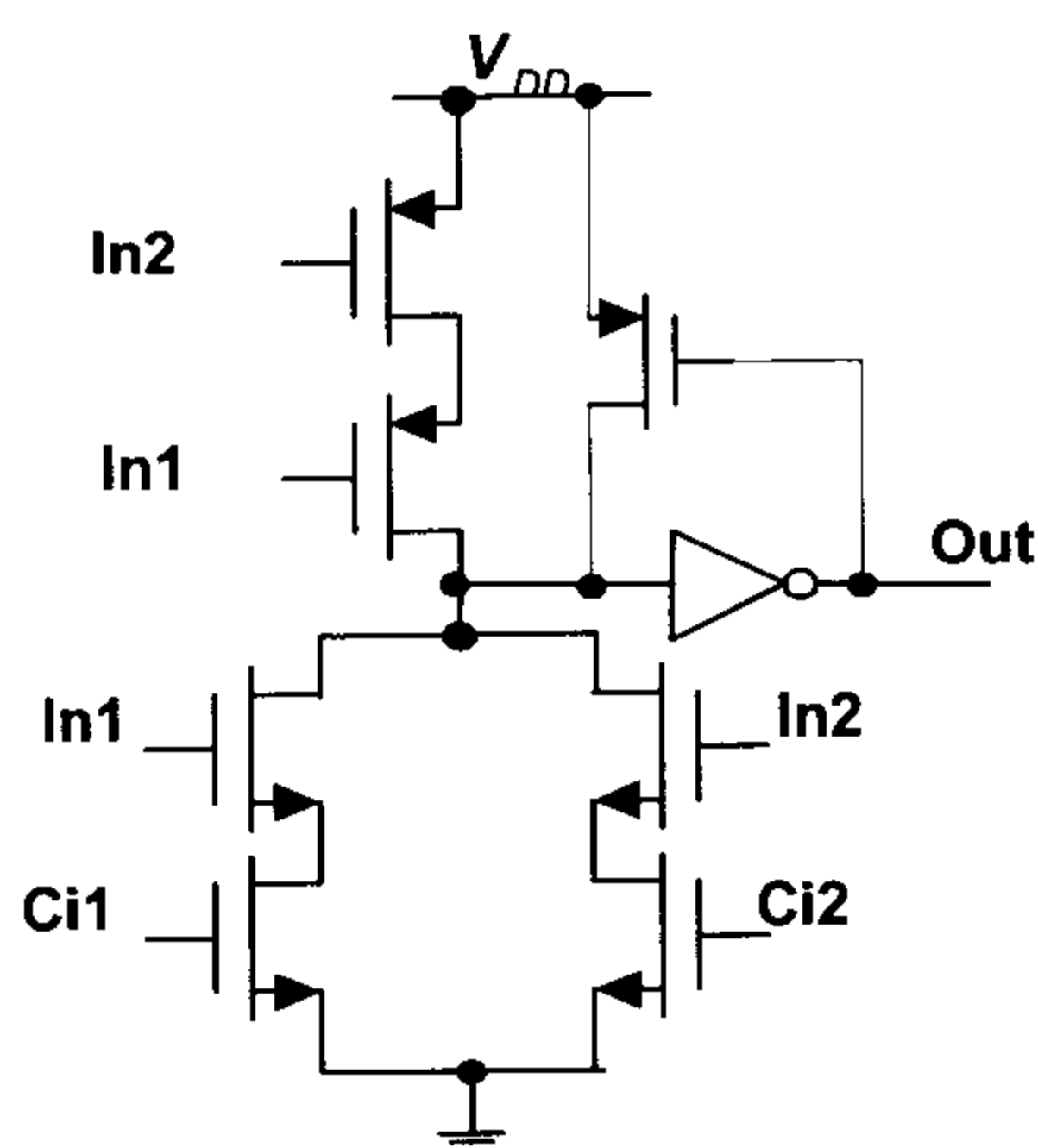


شکل ۱۱: بلوک دیاگرام آرایه شیفت دهنده.



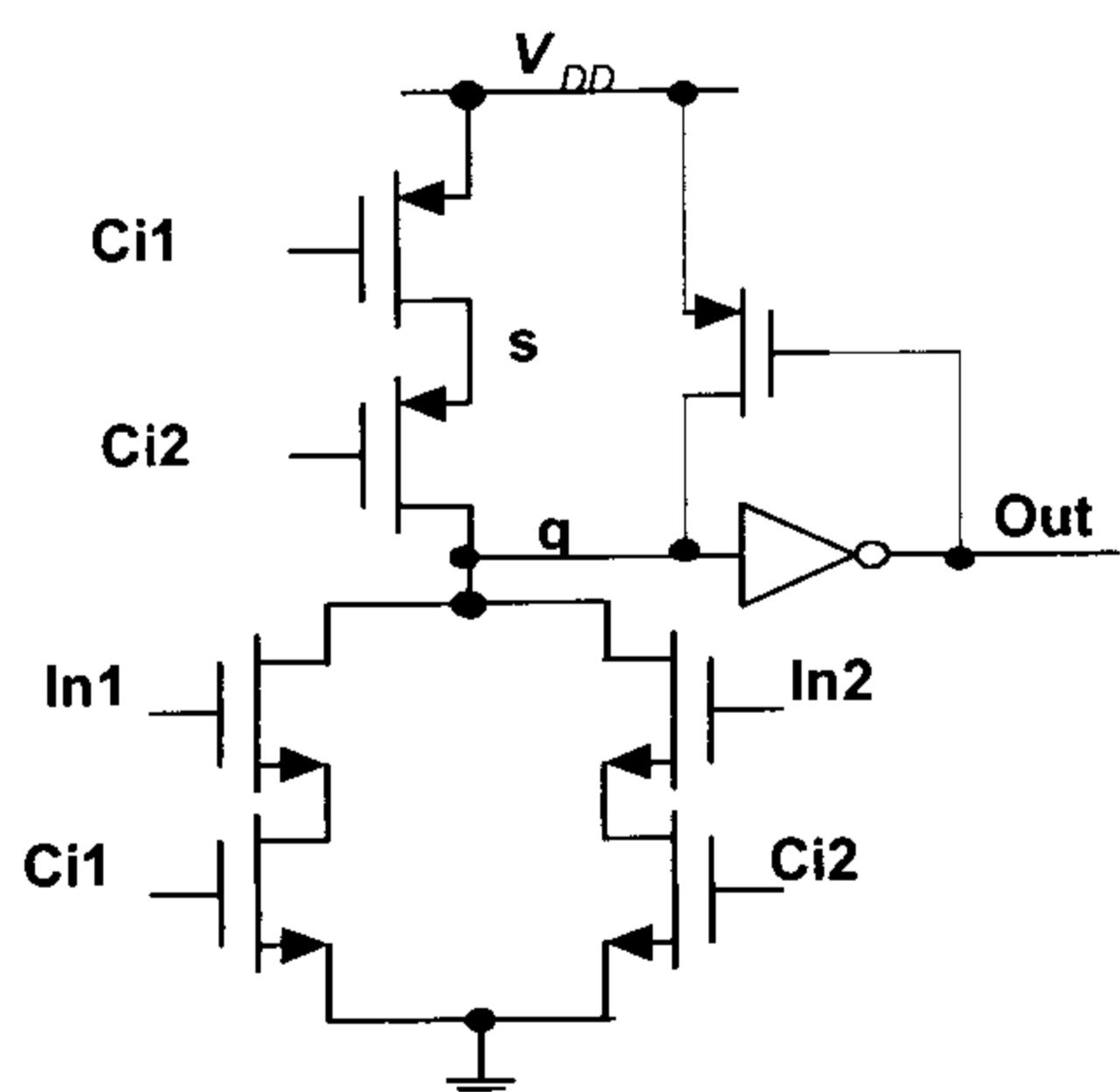
شکل ۱۲: واحد مبدل سیگنال های استاتیک به D^3L و Domino.

مصرفی را ۱۸٪ نسبت به دومینو کاهش می دهد [۷]. اما از طرف دیگر جایگزینی ورودیها به جای کلاک باعث افزایش خازن ورودی می شود زیرا هر ورودی In_i شامل یک NMOS و PMOS است، برخلاف گیت دومینو که تنها یک NMOS دارد.

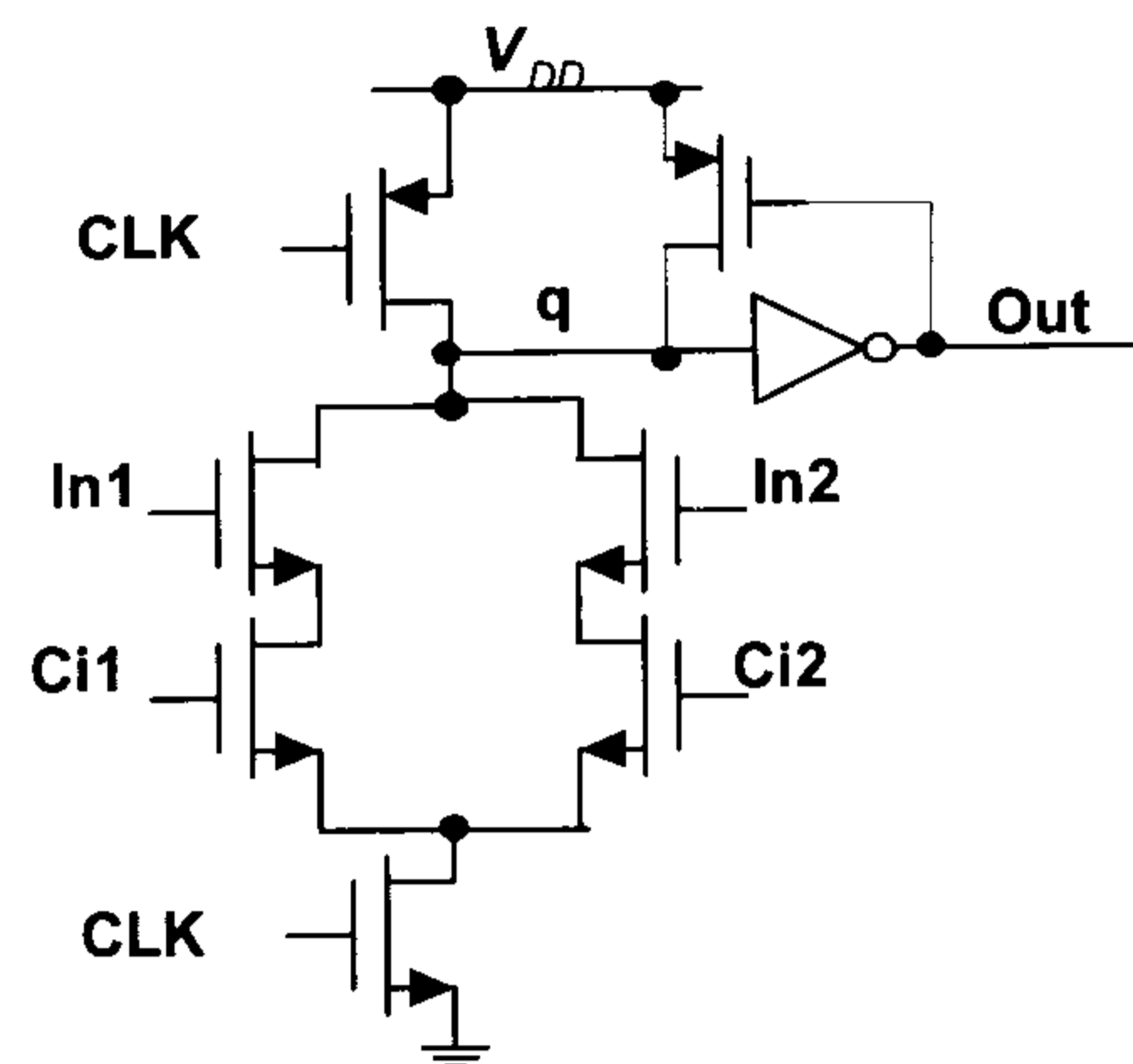


شکل ۱۴: پیاده سازی سلول $qmux$ در D^3L - حالت اول.

پیاده سازی D^3L آرایه شیفت دهنده - حالت دوم
اگر ورودیهای (Ci_1, Ci_2) را جایگزین کلاک کنیم خازن مسیر ورودی-خروجی می تواند به اندازه حالت دومینو کاهش یابد. در این حالت خروجیهای واحد کنترل هستند که (Ci_1, Ci_2) را صفر می کنند. از آنجا که تمامی سیگنال های کنترلی همزمان صفر می شوند دیگر موج پیش شارژ به وجود نمی آید و تمامی گیتها همزمان پیش شارژ می شوند. در این حالت گیت های D^3L سریعتر از دومینو عمل می کنند زیرا با خازن خروجی برابر، یک ترانزیستور سری کمتر از رقیب خود دارند (شکل ۱۵). به همین دلیل این ساختار برای تحقق فیزیکی انتخاب شده است.



شکل ۱۵: پیاده سازی سلول $qmux$ در D^3L - حالت دوم.



شکل ۱۳: پیاده سازی سلول $qmux$ در دومینو.

را به فرمت لازم برای مدارهای دومینو و D^3L تبدیل می کند. ورودیهای In_i گیت های شبه ماکس نیز توسط گیت های قبلی صفر می شوند. بدین ترتیب شمای گیت دومینو در شکل (۱۳) حاصل می آید. همانگونه که در شکل نشان داده شده است یک ترانزیستور نگهدارنده^۱ برای رفع مشکل ناشی بار نیز تعبیه شده است. وجود این ترانزیستور باعث می شود که مدار در فرکانس صفر نیز کار کند.

پیاده سازی D^3L آرایه شیفت دهنده - حالت اول

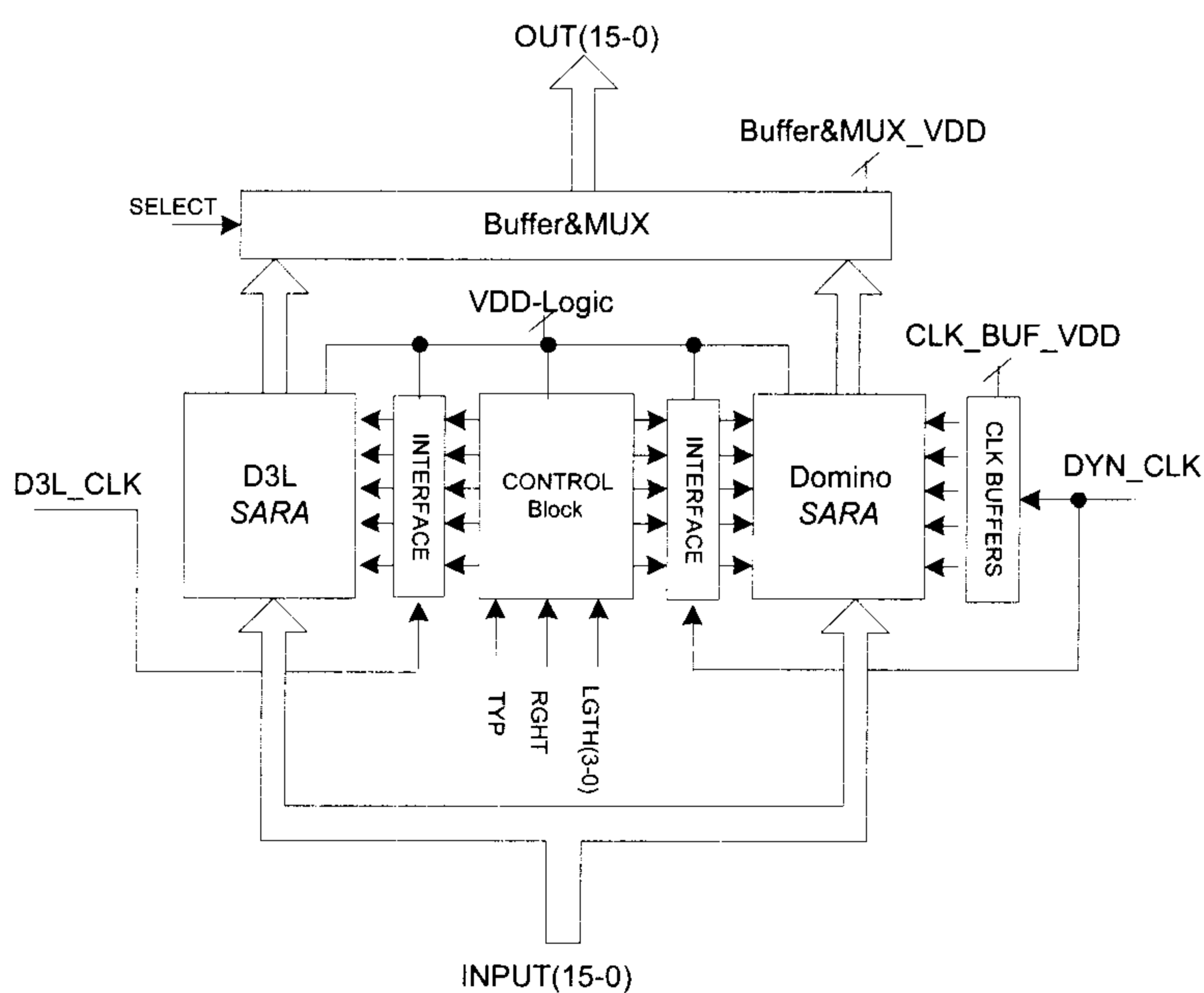
برای حذف سیگنال کلاک از گیت های دینامیکی باید ترکیب مناسبی از سیگنال های ورودی را جایگزین کلاک کنیم. هر یک از چهار گروه (In_1, In_2) ، (Ci_1, Ci_2) ، (In_1, Ci_2) و (In_2, Ci_1) می توانند کاندیدی برای این جایگزینی باشند. در اولین انتخاب گروه (In_1, In_2) را جایگزین کلاک می کنیم بنحویکه طبقات میانی آرایه توسط ورودیهای طبقه قبل که صفر شده اند، پیش شارژ می شوند. مقادیر صفر در اولین طبقه از آرایه یک موج پیش شارژ به راه می اندازند که توسط طبقات بعدی به خروجی منتقل می شود.

در هر گیت شبه ماکس وقتی که شرط $In_1=In_2=0$ برقرار شد، گیت مورد نظر پیش شارژ می شود. تغییر مقدار مشروط هر یک از ورودیها گیت را وارد فاز ارزیابی می کند. ساختار گیت D^3L در این ترکیب در شکل (۱۴) نشان داده شده است. مزیت این ساختار به گیت دومینو در ارزیابی مشروط آنست. بدین معنی که برخلاف گیت دومینو اگر ورودیها در حالت صفر باقی بمانند، فاز ارزیابی آغاز نخواهد شد. برای ورودیهای تصادفی این ساختار توان

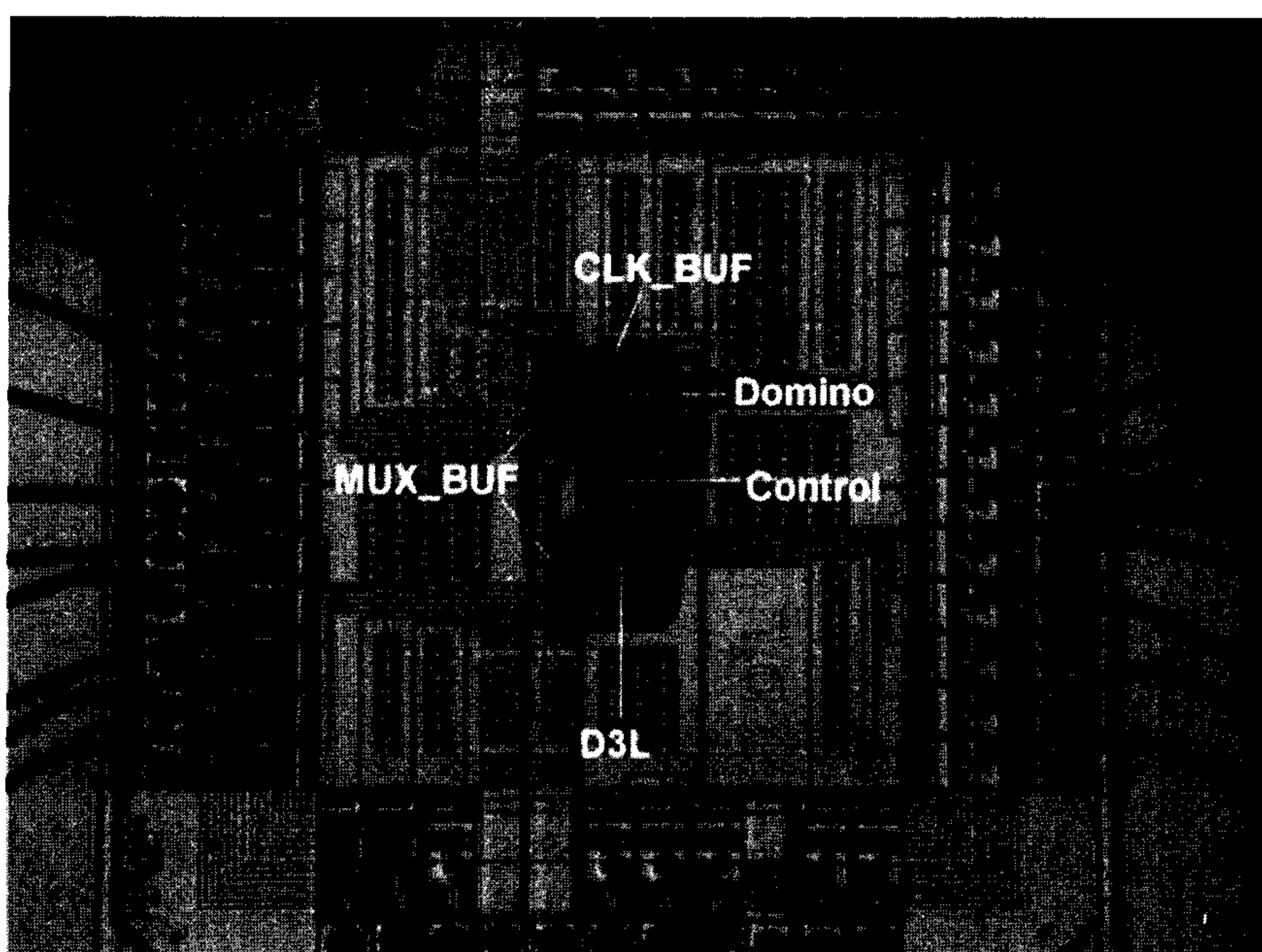
ساخت تراشه

به منظور نمایش مزایای D^3L به دومینو، مدار شیفت دهنده در یک تکنولوژی CMOS $0.6\mu m, 5V$ به دو شیوه ساخته شده است. شکل (۱۶) بلوک دیاگرام تراشه را نشان می دهد که شامل دو پیاده سازی D^3L و دومینو از آرایه شیفت دهنده می باشد. واحد کنترل که سیگنال های کنترلی آرایه شیفت دهنده را برای هر دو مدار آماده می سازد به صورت استاتیکی ساخته شده است. واحد

مبدل (Interface) خروجی های واحد کنترل را به فرمت مناسب تبدیل می کند (شکل ۱۲) تا گیت های D^3L پیش شارژ شده، شرط گیت های دومینو ارضا گردد. از آنجا که خروجیهای واحد مبدل بار زیادی را می بینند، اندازه گیتها به طور مناسب افزایش یافته است تا زمانهای صعود و سقوط^{۱۱} برابر شوند. ورودیهای شیفت دهنده به صورت مشترک به هر دو آرایه D^3L و دومینو وصل می شود و سیگنال کنترلی select یکی از خروجیها را به



شکل ۱۶: بلوک دیاگرام تراشه شیفت دهنده یکپارچه.



شکل ۱۷: میکرونمای تراشه شیفت دهنده یکپارچه.

جدول ۱: مقایسه مصرف توان مدار D^3L و دومینو (میلی وات).

دومینو	D^3L	دومینو	D^3L	
ورودیها تماماً صفر (کمترین مصرف توان)		ورودیها تماماً یک (بیشترین مصرف توان)		
۰/۳۴	۰/۶۷	۲/۹۱	۳/۳۷	V_{DD} -Logic
۰/۷۴	۰	۰/۷۴	۰	بافرهای Dyn_clk
۱/۰۸	۰/۶۷	۳/۶۵	۳/۳۷	مجموع
۱/۶۱		۱/۰۸		نسبت دومینو به D^3L

جدول ۲: مقایسه سطح سیلیکون مصرفی گیت D^3L و دومینو.

نسبت دومینو به D^3L	دومینو	D^3L	
۱/۰۹	۲۵۱/۶۴ (میکرومتر مربع)	۲۳۱/۱۴ (میکرومتر مربع)	مساحت گیت شبه ماکس

جدول ۳: نتایج شبیه سازی بعد از لی آوت برای آرایه شیفت دهنده (زمان بر حسب پیکو ثانیه).

زمان پیش شارژ	زمان ارزیابی	
۴۱۸	۱۸۴۳	D^3L
۳۰۲	۲۳۸۰	دومینو

D^3L -CLK به صفر و نوسان DYN-CLK توان مصرفی بلوک دومینو به دست می آید. لازم به ذکر است که D^3L -CLK برای پیش شارژ مدار استفاده شده و تنها به واحد مبدل (شکل ۱۲) اعمال می شود در حالیکه DYN-CLK علاوه بر واحد مبدل آرایه شیفت دهنده دومینو را نیز تغذیه می کند.

آرایه شیفت دهنده وقتی کمترین مصرف توان را دارد که گیت های شبه ماکس در دو فاز پیاپی شارژ خود را نگه دارند. این وضعیت با اعمال ورودی های صفر به I_{15} - I_0 به دست می آید و تنها واحد کنترل، واحد مبدل (شکل ۱۲) و بافرهای کلاک (شکل ۱۶) توان مصرف می کنند. با انتخاب مقدار ثابت برای ورودیهای واحد کنترل، مصرف توان واحد کنترل نیز از لیست حذف می شود و ما می توانیم مصرف خالص مدار پیش شارژ کننده را محاسبه کنیم.

از جهت دیگر بیشترین توان مصرفی به هنگامی است که گیت های شبه ماکس شارژ خود را در فاز ارزیابی از دست بدهند. این حالت با انتخاب ورودیهای تماماً یک حاصل می شود. جدول (۱) نتایج شبیه سازی پس از لی آوت را در بهترین و بدترین موقعیت مصرف توان برای دو منطق دومینو و D^3L نشان می دهد.

پین های تراشه هدایت می کند. میکرونمای^{۱۲} تراشه در شکل (۱۷) نشان داده شده است. مدار شیفت دهنده تا ۱۵ مگاهرتز (بیشترین سرعت دستگاه تست) به صورت موفقیت آمیز تست و توان مصرفی آن در فرکانس های مختلف اندازه گیری شده است که نتایج تست تطابق خوبی با شبیه سازیهای بعد از لی آوت^{۱۳} دارند. لازم به ذکر است که هسته مدار D^3L و دومینو در شبیه سازیهای HSPICE بعد از لی آوت به ترتیب تا فرکانس ۴۴۲ و ۳۷۲ مگاهرتز کار می کند. در بخش آتی توان، مساحت و سرعت بلوکهای شیفت دهنده D^3L و دومینو با یکدیگر مقایسه می شوند.

توان مصرفی

تراشه شیفت دهنده پین های متعددی برای تغذیه آرایه شیفت دهنده بعلاوه واحد کنترل، شبکه کلاک، بافرهای خروجی و PAD ها دارد. برای جداسازی مصرف توان آرایه شیفت دهنده D^3L و دومینو، دو پین کلاک جداگانه نیز تعبیه شده است. بعنوان مثال اگر DYN-CLK را صفر کنیم توان آرایه دومینو صفر خواهد بود و بلوک D^3L و واحد کنترل تنها منابع مصرف توان از V_{DD} -logic خواهند بود. به همین ترتیب با مقدار دهی

که در آن فاز ارزیابی است که بیشترین نرخ کلاک را تعیین می کند.

نتایج تست آزمایشگاهی

تراشه ساخته شده در فرکانس های مختلف تست شده، نتایج آن با شبیه سازی های بعد از لی آوت در نرم افزار HSPICE و مدل های ترانزیستور BSIM3V3 مقایسه شده است. جدول (۴) مصرف توان را در دو حالت تست آزمایشگاهی و شبیه سازی با یکدیگر مقایسه می کند. نتایج حاصل از شبیه سازی تا حدی بزرگتر از نتایج آزمایشگاهی هستند که می تواند نتیجه افت ولتاژ در سیم بندی ها و پین های تراشه باشد در حالیکه فایل استخراج شده بعد از لی آوت ما هیچ گونه مقاومتی را شامل نمی شد. در فرکانس ۱۰ مگاهرتز شکل موج های خروجی مدار شیفیت دهنده در شکل های (۱۹) آ و ب) دیده می شود.

نتیجه گیری و ادامه کار

در این مقاله منطق دینامیکی هدایت شده با دیتا یا D^3L معرفی شد. D^3L با حذف کلاک از گیت های دینامیکی عملیات پیش شارژ و ارزیابی را با هدایت دیتاهای ورودی انجام میدهد. D^3L از محدودیت های موجود اعمال شده بر منطق های دینامیکی موجود سود برده، با حذف کلاک مصرف توان را به نحو مؤثری کاهش می دهد. برای نمایش برتری D^3L بر رقبای دینامیکی خود، مدار شیفتر یکپارچه به دو صورت دینامیکی و D^3L در یک تراشه پیاده سازی شد. نتایج آزمایشگاهی و شبیه سازی ها نشان دادند که بسته به مقدار ورودی، D^3L بین ۸٪ تا ۶۱٪ کمتر از دومینو توان مصرف می کند. این در حالیست که D^3L ، ۲۹٪ سریعتر و ۹٪ کم حجم تر از مشابه دینامیکی خود می باشد.

عملکرد صحیح گیت های D^3L معرفی شده در این مقاله مستقل از تاخیرهای موجود در مدار می باشد. برای ادامه کار پیشنهاد می گردد با استفاده از ابزارهای طراحی موجود و در نظر گرفتن تاخیر گیت ها و سیم بندی ها، گیت های D^3L وابسته به تاخیر طراحی نمود. این امر می تواند به کاهش قابل ملاحظه ای در مساحت و توان مصرفی مدار منجر گردد. بکارگیری ایده های طراحی

این جدول نشان می دهد که مدار دومینو ۸٪ تا ۶۱٪ توان بیشتری از D^3L مصرف می کند و دلیل عمده این امر هم ارزیابی مشروط D^3L می باشد. این بدان معنی است که وقتی که مقدار ورودیها به گونه ای است که کمترین مقدار تغییرات در مدار انتشار می یابد، مصرف دائم شبکه کلاک در دومینو قابل ملاحظه شده، کارایی آنرا کاهش می دهد.

مساحت

لی آوت تراشه شیفیت دهنده به شیوه کاملاً اختصاصی طراحی شده است. در گیت شبه ماکس دومینو یک سوئیچ PMOS و در گیت D^3L دو سوئیچ PMOS در شبکه بالابرنده موجود است (شکل های ۱۳ و ۱۵). اما از طرف دیگر گیت دومینو یک ترانزیستور NMOS اضافه (ترانزیستور کلاک) در شبکه پائین برنده خود دارد که با بلوک اصلی سری شده است. این امر باعث ایجاد شکاف در ناحیه فعال^{۱۴} ترانزیستورهای N به هنگام ترسیم لی آوت خواهد شد که در نهایت افزایش خازن دیفیوژن، افزایش مساحت گیت و نامنظم بودن لی آوت را به دنبال دارد. همانگونه که در جدول (۲) دیده می شود مساحت گیت دومینو ۹٪ بیش از گیت معادل D^3L است. لی آوت گیت های دومینو و D^3L در شکل (۱۸) آورده شده است.

سرعت

تمامی ترانزیستورها در مدار دومینو و D^3L با پارامترهای زیر ساخته شده اند:

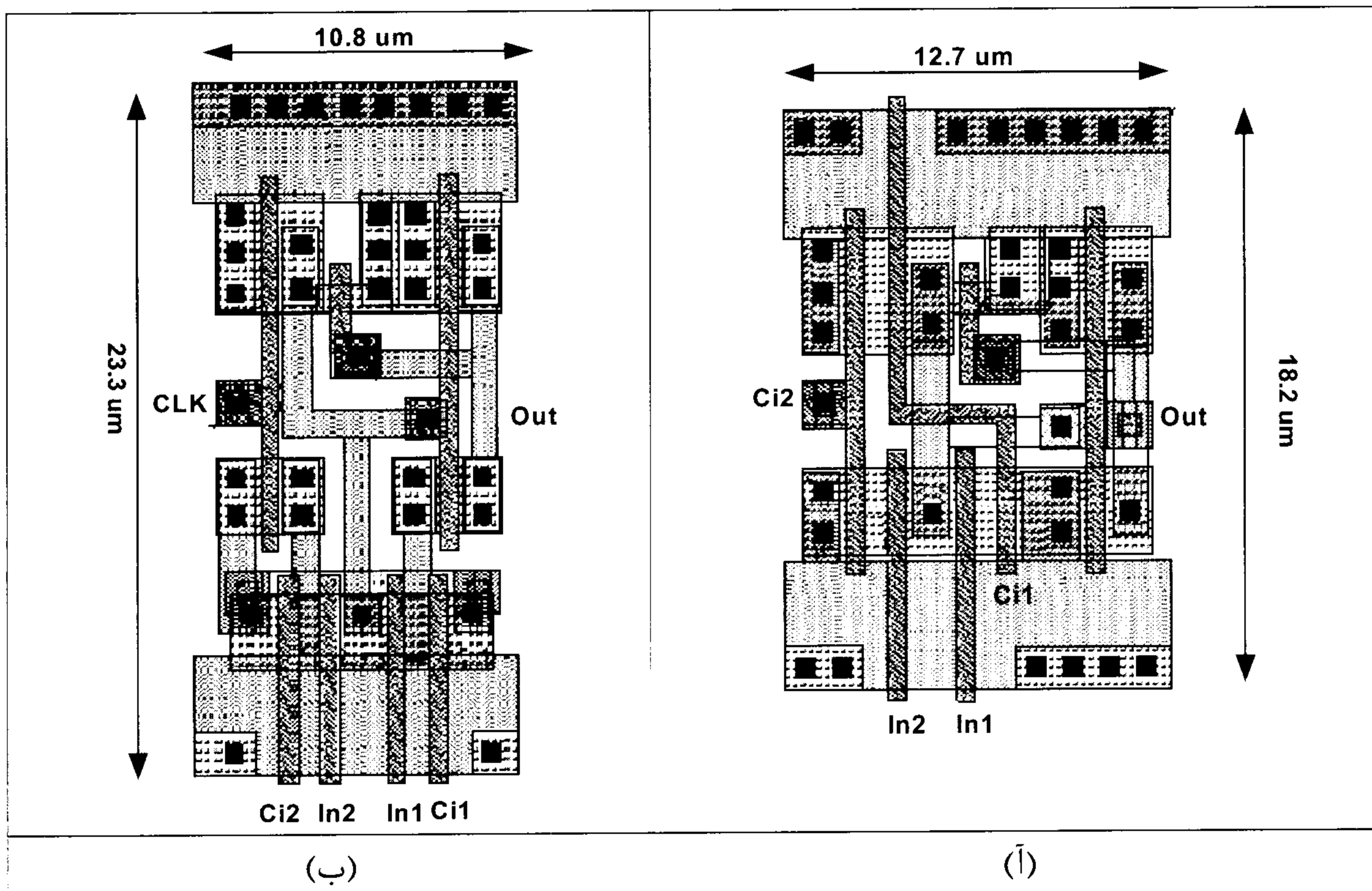
$$W_n=2.7\mu m, L_p=L_n=0.6\mu m$$

$$W_p=1\mu m \text{ (ترانزیستور نگهدارنده)}$$

$$W_p=4\mu m \text{ (مابقی مدار)}$$

نتایج شبیه سازی پس از لی آوت در جدول (۳) آورده شده است.

از آنجائیکه تنها یک PMOS گیت شبه ماکس دومینو را شارژ می کند، زمان پیش شارژ آن کمترین مقدار را دارد. اما از جهت دیگر در مسیر ارزیابی سه ترانزیستور NMOS سری وجود دارند که باعث افزایش تأخیر گیت خواهند شد. این در حالی است که گیت D^3L تأخیر ارزیابی کمتری دارد. این نکته را نیز باید در نظر داشت که در بیشتر سیستم ها کلاک متقارن ۵۰٪ استفاده می شود



شکل ۱۸: لی اوت سلول $qmux$ در D^3L (ا) و دومینو (ب) دومینو.

جدول ۴: مصرف توان D^3L و دومینو (بر حسب میلی وات).

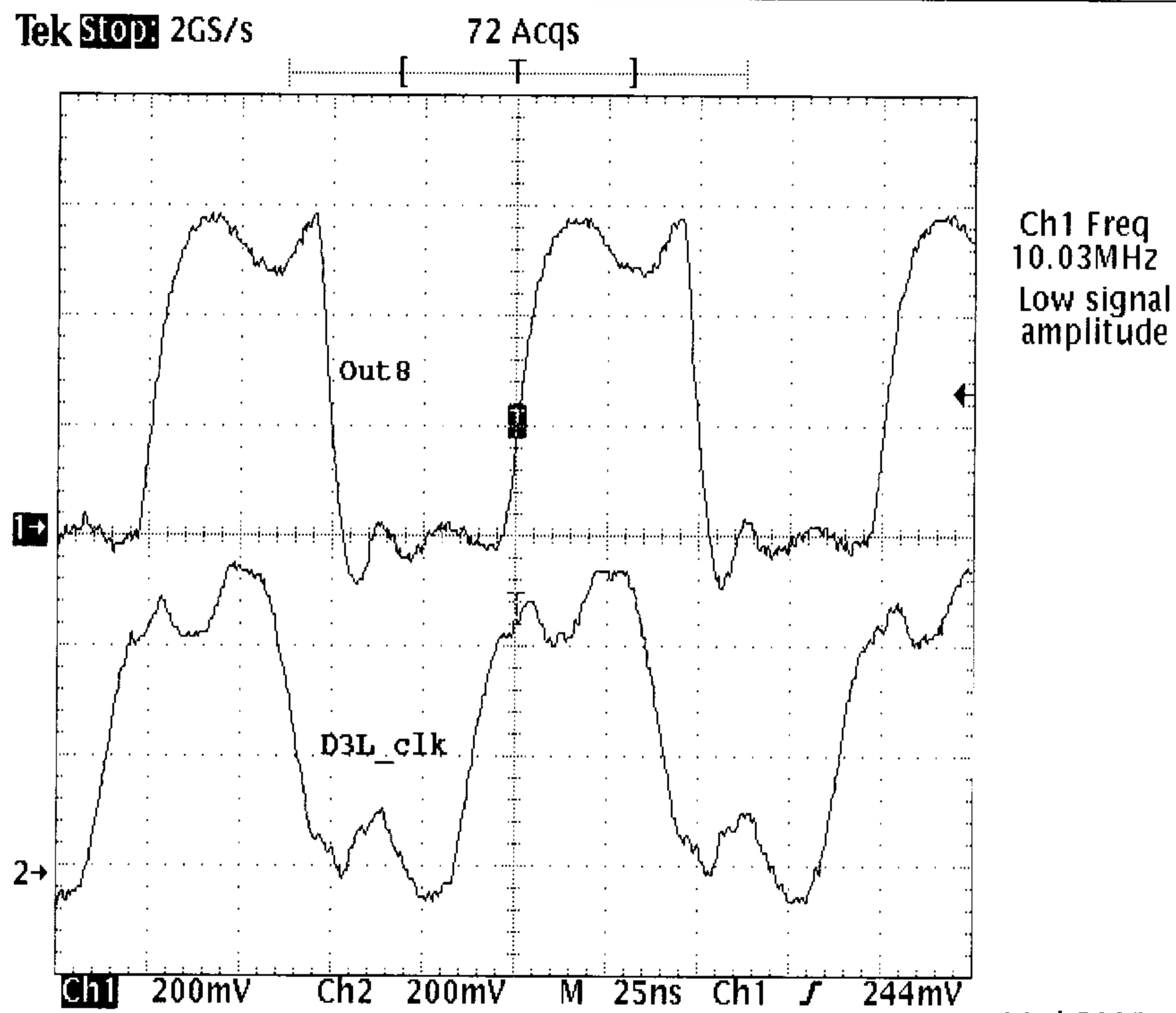
شرایط	۱۵ مگاهرتز		۱۰ مگاهرتز		۵ مگاهرتز		۱ مگاهرتز		فرکانس مدار
	شبه سازی	تست	شبه سازی	تست	شبه سازی	تست	شبه سازی	تست	
Input=0000, RGHT=0, TYP=0, LGTH=0	۱/۰۸	۰/۸۶	۰/۷۲	۰/۵۹	۰/۳۶	۰/۲۸	۰/۰۷	۰/۰۶	D^3L
	۰/۵۴	۰/۴۲	۰/۳۷	۰/۲۸	۰/۱۸	۰/۱۲	۰/۰۴	۰/۰۳	دومینو
Input=FFFF, RGHT=0, TYP=0, LGTH=0	۳/۹۹	۳/۴۹	۲/۶۶	۲/۳۵	۱/۳۳	۱/۰۱	۰/۲۶	۰/۲۱	D^3L
	۳/۷۳	۳/۲۱	۲/۴۹	۲/۰۸	۱/۲۵	۰/۹۶	۰/۲۵	۰/۲۰	دومینو
-	۱/۱۱	۰/۸۳	۰/۷۴	۰/۵۵	۰/۳۷	۰/۲۷	۰/۰۷	۰/۰۶	بافرهای کلاک دومینو (Clk-buf)

تهران مهیا شده بود، میسر گردید که بدین ترتیب از دست اندرکاران این دو مجموعه قدردانی می گردد. تکمیل این پروژه با کمک اعتبارات معاونت پژوهشی دانشگاه تهران میسر گردیده است که بدین وسیله تشکر و قدردانی می نماید. هم چنین از یاری دوستان عزیز غلامرضا چاجی، علی چارکی و علی خاکیفیروز در مراحل اولیه تست تراشه کمال تشکر را داریم.

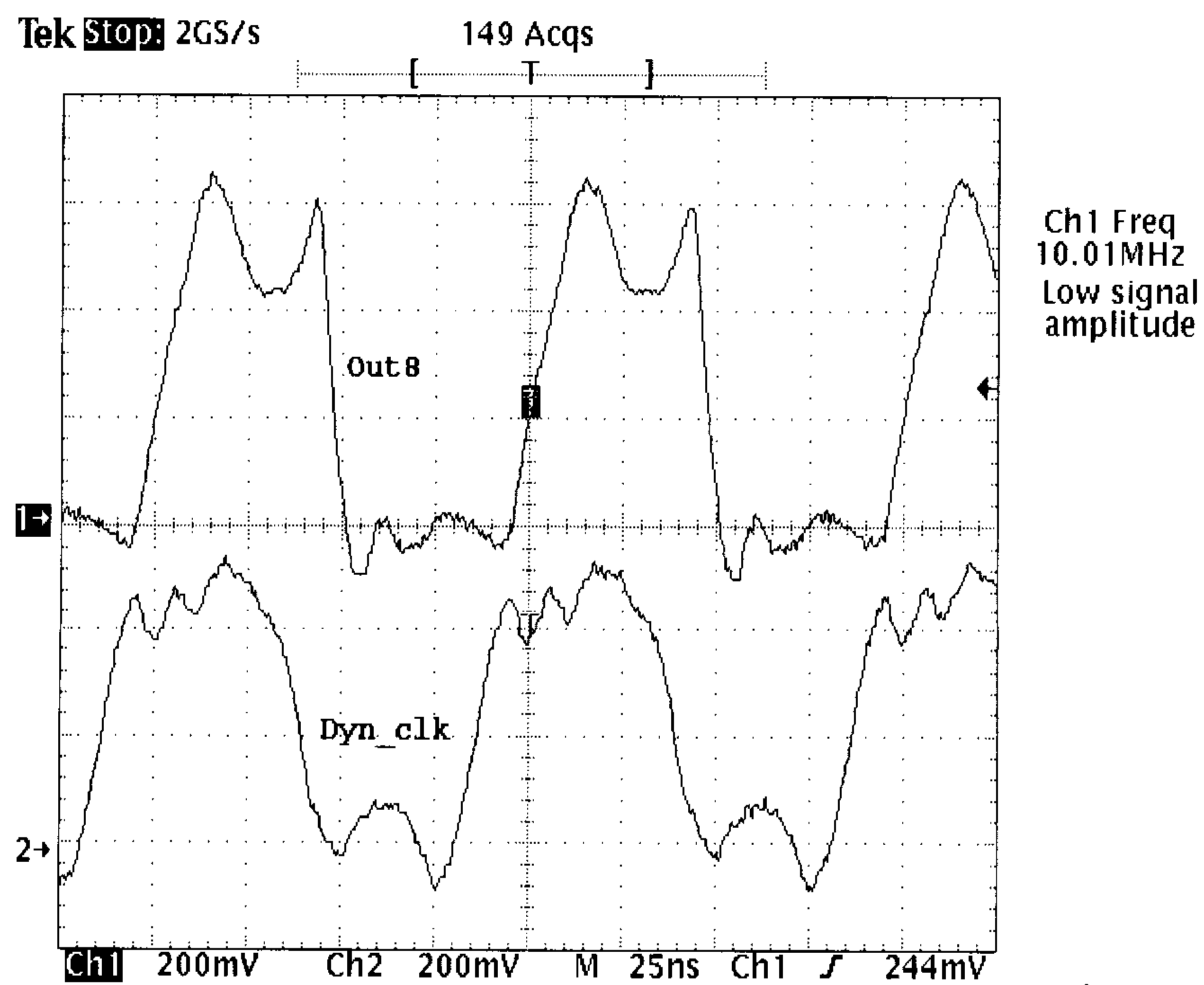
موجود در مدارات آسنکرون می تواند روش ساختار یافته‌ای برای طراحی گیت های D^3L و یافتن جایگزین مناسب برای کلاک ارائه دهد.

تشکر و قدردانی

ساخت تراشه با استفاده از طرح پیوند شرکت نیمه هادی عماد و هم چنین تسهیلاتی که در آزمایشگاه VLSI دانشکده برق و کامپیوتر دانشکده فنی دانشگاه



(ا)



(ب)

شکل ۱۹: شکل موج مدارهای (ا) D^3L و (ب) دومینو مربوط به کلاک و بیت هشتم خروجی.

مراجع

- 1 - Rabaey, J. M., Chandrakasan, A. and Nikolic, B. (2003). *Digital integrated circuits*, Upper Saddle River, NJ: Prentice Hall, New York.

- 2 - Krambeck, R. H. (1982). "High-speed compact circuits with CMOS." *IEEE J. Solid-State Circuits*, Vol. 17, No. 3, PP. 614-619.
- 3 - Goncalvez, N. and De Man, H. (1993). "NORA: A racefree dynamic CMOS technique for pipelined logic structures." *IEEE J. Solid-State Circuits*, Vol. 18, No.3, PP. 261-266.
- 4 - Benschneider, B. J. et al. (1995). "A 300-MHz 64-b quad-issue CMOS RISC microprocessor." *IEEE J. Solid-State Circuits*, Vol. 30, No. 11, PP. 1203-1214.
- 5 - Rafati, R., Charaki, A. Z., Chaji, R. Z., Fakhraie, S. M. and Smith, K. C. (2002). "Comparison of a 17b multiplier in dual-rail domino and in dual-rail D³L (D⁴L) logic styles." *ISCAS 2002*, Vol. 3, PP. 257-260.
- 6 - Pereira, R., Michell, J. A. and Solana, J. M. (1995). "Fully pipelined TSPC barrel shifter for high-speed applications." *IEEE J. Solid-State Circuits*, Vol. 30, PP. 686-690.
- 6 - Rafati, R., Fakhraie, S. M. and Smith, K. C. (2002). "Low-power data-driven dynamic logic." *ISCAS 2000*, Vol. 1, PP. 752-755.

واژه های انگلیسی به ترتیب استفاده در متن

- | | | |
|---|-------------------------------|----------------------|
| 1 - Pull-Down Network | 2 - Pull-Up Network | 3 - Cascading |
| 4 - CLKB: Inverted CLK | 5 - Data-Driven Dynamic Logic | 6 - Dual-Rail |
| 7 - Dual-Rail Data-Driven Dynamic Logic | 8 - Barrel Shifter | 9 - Rotate |
| 10 - Keeper Transistor | 11 - Rise and Fall Times | 12 - Microphotograph |
| 13 - Post-Layout | 14 - Active | |